

SEMICONDUCTOR FILM AND MANUFACTURE THEREOF**Publication number:** JP2001053286 (A)**Publication date:** 2001-02-23**Inventor(s):** SAKAMA MITSUNORI; ASAMI TAKEOMI; ISHIMARU NORIKO; YAMAZAKI SHUNPEI**Applicant(s):** SEMICONDUCTOR ENERGY LAB**Classification:**

- **international:** G02F1/136; G02F1/1368; G09F9/30; H01L21/283; H01L21/336; H01L21/8238; H01L27/08; H01L27/092; H01L29/786; G02F1/13; G09F9/30; H01L21/02; H01L21/70; H01L27/08; H01L27/085; H01L29/66; (IPC1-7): H01L29/786; G02F1/1368; G09F9/30; H01L21/283; H01L21/336; H01L21/8238; H01L27/08; H01L27/092

- **European:**

Application number: JP20000165332 20000602**Priority number(s):** JP20000165332 20000602; JP19990154429 19990602**Abstract of JP 2001053286 (A)**

PROBLEM TO BE SOLVED: To provide an insulating film suitable for a semiconductor device represented by a TFT, a method of fabricating it, a semiconductor device where the above insulating film is used as a gate insulating film, a base film, a protection film or an interlayer insulating film, and a method of manufacturing the device. **SOLUTION:** An insulating film material used for fabricating an oxidized, nitrided, and hydrogenated silicon film is manufactured through a plasma CVD method using SiH, NO, and H as the material gas. The composition of the film is indicated by it such that the concentrations of oxygen, nitrogen, and hydrogen are represented by 55 to 70 atom%, 0.1 to 6 atom%, preferably 0.1 to 2 atom%, and 0.1 to 3 atom%; To obtain a film of such a composition, a substrate temperature is kept at 350 to 500 deg.C, preferably 400 to 450 deg.C, and a discharge power density is set at 0.1 to 1 w/cm².

Data supplied from the **esp@cenet** database — Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-53286

(P2001-53286A)

(43)公開日 平成13年2月23日(2001.2.23)

(51)Int.Cl.⁷

識別記号

F I

テマコト^{*}(参考)

H 01 L 29/786

H 01 L 29/78

6 1 7 T

G 02 F 1/1368

G 09 F 9/30

3 3 8

G 09 F 9/30

3 3 8

H 01 L 21/283

C

H 01 L 21/283

27/08

3 3 1 E

21/8238

G 02 F 1/136

5 0 0

審査請求 未請求 請求項の数14 OL (全31頁) 最終頁に続く

(21)出願番号

特願2000-165332(P2000-165332)

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(22)出願日

平成12年6月2日(2000.6.2)

(72)発明者 坂間 光範

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(31)優先権主張番号 特願平11-154429

(72)発明者 浅見 勇臣

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(32)優先日

平成11年6月2日(1999.6.2)

(72)発明者 石丸 典子

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(33)優先権主張国

日本 (JP)

最終頁に続く

(54)【発明の名称】 半導体膜およびその作製方法

(57)【要約】

【課題】 TFTに代表される半導体装置に適した絶縁膜およびその作製方法を提供することを目的とする。そのような絶縁膜をゲート絶縁膜や下地膜、および保護絶縁膜または層間絶縁膜に用いた半導体装置およびその作製方法を提供する。

【解決手段】 酸化窒化水素化シリコン膜による絶縁膜材料を、SiH₄、N₂O、H₂を原料ガスとしてプラズマCVD法で作製する。その膜の組成を、酸素濃度を5 atomic%以上70 atomic%以下、窒素濃度を0.1 atomic%以上6 atomic%以下、好ましくは0.1 atomic%以上2 atomic%以下とし、水素濃度を0.1 atomic%以上3 atomic%以下とする。このような組成の膜するために、基板温度を350～500°C、好ましくは400～450°Cとして、放電電力密度0.1～1 W/cm²とする。

【特許請求の範囲】

【請求項1】基板上に形成されたTFTであって、前記TFTの活性層の一方の表面に密接して設けられた下地膜と、前記活性層の他方の表面に密接して設けられたゲート絶縁膜と、該ゲート絶縁膜に接して設けられたゲート電極と、該ゲート電極上に設けられた層間絶縁膜とを有し、前記下地膜、前記ゲート絶縁膜、前記層間絶縁膜の少なくとも一つは、酸素濃度が5 atomic%以上70 atomic%以下であり、窒素濃度が0.1 atomic%以上6 atomic%以下であり、かつ、水素濃度が0.1 atomic%以上3 atomic%以下である酸化窒化水素化シリコン膜で形成されていることを特徴とする半導体装置。

【請求項2】基板上に形成されたTFTであって、前記TFTの活性層の一方の表面に密接して設けられた下地膜と、前記活性層の他方の表面に密接して設けられたゲート絶縁膜と、該ゲート絶縁膜に接して設けられたゲート電極と、該ゲート電極上に設けられた層間絶縁膜とを有し、前記下地膜、前記ゲート絶縁膜、前記層間絶縁膜を形成する少なくとも一層の絶縁膜は、酸素濃度が55 atomic%以上70 atomic%以下であり、窒素濃度が0.1 atomic%以上6 atomic%以下であり、かつ、水素濃度が0.1 atomic%以上3 atomic%以下である酸化窒化水素化シリコン膜であることを特徴とする半導体装置。

【請求項3】基板上に形成されたTFTであって、前記TFTの活性層の一方の表面に密接して設けられたゲート絶縁膜と、該ゲート絶縁膜に接して設けられたゲート電極と、

前記活性層の他方の表面に設けられた保護絶縁膜または層間絶縁膜とを有し、前記ゲート絶縁膜、前記保護絶縁膜または層間絶縁膜の少なくとも一つは、酸素濃度が55 atomic%以上70 atomic%以下であり、窒素濃度が0.1 atomic%以上6 atomic%以下であり、かつ、水素濃度が0.1 atomic%以上3 atomic%以下である酸化窒化水素化シリコン膜で形成されていることを特徴とする半導体装置。

【請求項4】基板上に形成されたTFTであって、前記TFTの活性層の一方の表面に密接して設けられたゲート絶縁膜と、該ゲート絶縁膜に接して設けられたゲート電極と、

前記活性層の他方の表面に設けられた保護絶縁膜または層間絶縁膜とを有し、前記ゲート絶縁膜、前記保護絶縁膜または層間絶縁膜を形成する少なくとも一層の絶縁膜は、酸素濃度が5 atomic%以上70 atomic%以下であり、窒素濃度が0.1 atomic%以上6 atomic%以下であり、かつ、水素濃度が0.1 atomic%以上3 atomic%以下である酸化窒化水素化シリコン膜であることを特徴とする半導体装置。

【請求項5】請求項1乃至請求項4のいずれか一項にお

いて、

前記半導体装置は、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスクプレーヤー、電子遊戯機器、プロジェクター、有機エレクトロルミネッセンス材料を用いた表示装置であることを特徴とする半導体装置。

【請求項6】基板上にTFTを設けた半導体装置の作製方法であって、

前記TFTの活性層の一方の表面に密接して下地膜を形成する第1の工程と、

前記活性層の他方の表面に密接してゲート絶縁膜を形成する第2の工程と、該ゲート絶縁膜に接して設けられたゲート電極を形成する第3の工程と、該ゲート電極上に層間絶縁膜を形成する第4の工程とを有し、

前記第1の工程乃至第4の工程の少なくとも一つは、SiH₄、N₂O、H₂から酸化窒化水素化シリコン膜を形成することを特徴とする半導体装置の作製方法。

【請求項7】基板上にTFTを設けた半導体装置の作製方法であって、

前記TFTの活性層の一方の表面に密接して下地膜を形成する第1の工程と、

前記活性層の他方の表面に密接してゲート絶縁膜を形成する第2の工程と、該ゲート絶縁膜に接して設けられたゲート電極を形成する第3の工程と、該ゲート電極上に層間絶縁膜を形成する第4の工程とを有し、

前記第1の工程乃至第4の工程において形成される少なくとも一層の絶縁膜は、SiH₄、N₂O、H₂から作製される酸化窒化水素化シリコン膜であることを特徴とする半導体装置の作製方法。

【請求項8】基板上にTFTを設けた半導体装置の作製方法であって、

前記TFTの活性層の一方の表面に密接してゲート絶縁膜を形成する第1の工程と、該ゲート絶縁膜に密接してゲート電極を形成する第2の工程と、

前記活性層の他方の表面に密接して保護絶縁膜または層間絶縁膜を形成する第3の工程とを有し、

前記第1の工程乃至第3の工程の少なくとも一つは、SiH₄、N₂O、H₂から酸化窒化水素化シリコン膜を形成することを特徴とする半導体装置の作製方法。

【請求項9】基板上にTFTを設けた半導体装置の作製方法であって、

前記TFTの活性層の一方の表面に密接してゲート絶縁膜を形成する第1の工程と、該ゲート絶縁膜に密接してゲート電極を形成する第2の工程と、

前記活性層の他方の表面に密接して保護絶縁膜または層間絶縁膜を形成する第3の工程とを有し、

前記第1の工程乃至第3の工程において形成される少なくとも一層の絶縁膜は、SiH₄、N₂O、H₂から作製される酸化窒化水素化シリコン膜であることを特徴とする半導体装置の作製方法。

【請求項10】請求項6または請求項7において、前記第1の工程乃至第4の工程の後に、熱処理により、少なくとも前記酸化窒化水素化シリコン膜が含有する水素を前記活性層に拡散させ、該活性層を水素化することを特徴とする半導体装置の作製方法。

【請求項11】請求項8または請求項9において、前記第1の工程乃至第3の工程の後に、熱処理により、少なくとも前記酸化窒化水素化シリコン膜が含有する水素を前記活性層に拡散させ、該活性層を水素化することを特徴とする半導体装置の作製方法。

【請求項12】請求項10または請求項11において、前記熱処理の温度が、300°C以上500°C以下であることを特徴とする半導体装置の作製方法。

【請求項13】請求項6乃至請求項9のいずれか一項において、前記酸化窒化水素化シリコン膜は、SiH₄とN₂Oとの合計の流量に対してH₂の流量を0.1～7倍の範囲とすることを特徴とする半導体装置の作製方法。

【請求項14】請求項6乃至請求項13のいずれか一項において、

前記半導体装置は、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスクプレーヤー、電子遊戯機器、プロジェクター、有機エレクトロルミネッセンス材料を用いた表示装置であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜トランジスタおよびその作製方法に関し、薄膜トランジスタを形成するに必要な絶縁膜材料およびその作製方法に関する。

【0002】

【従来の技術】ガラスなどの透光性を有する絶縁基板上に非晶質半導体膜を形成し、レーザーアニール法や熱アニール法などで結晶化させた結晶質半導体膜を活性層とする薄膜トランジスタ(Thin Film Transistor:以下、TFTと記す)が開発されている。このTFTを作製するために主として使用される基板は、バリウムホウケイ酸ガラスやアルミニウムホウケイ酸ガラスなどのガラス基板である。このようなガラス基板は石英基板と比べ耐熱性は劣るものの市販価格は安価であり、大面積基板を容易に製造できる利点を有している。

【0003】TFTの構造はゲート電極の配置から大別してトップゲート型とボトムゲート型に分類できる。トップゲート型はガラスなどの絶縁基板上に活性層を形成し、その上にゲート絶縁膜、ゲート電極の順に形成されている。また、基板と活性層の間には下地膜が設ける場合が多い。一方、ボトムゲート型は同様な基板上にゲート電極を設け、その上にゲート絶縁膜、活性層の順に形成されている。さらにその活性層上には保護絶縁膜或いは層間絶縁膜が形成されている。

【0004】上記ゲート絶縁膜、下地膜、および保護絶縁膜或いは層間絶縁膜は、酸化シリコン膜や窒化シリコン膜、または酸化窒化シリコン膜などで作製される。このような材料が用いられる理由は、活性層を形成する非晶質シリコン膜または結晶質シリコン膜に対して良好な界面を形成するには、シリコンを主成分の一つとする絶縁膜で形成することが好ましいためであった。

【0005】上記絶縁膜はプラズマCVD法や減圧CVD法で作製することが良いとされている。プラズマCVD法は原料ガスをグロー放電中で分解し、プラズマ化することによりラジカル(ここでは化学的活性種を意味する)を形成し、基板上に堆積させる技術であり、通常400°C以下の低温で高速な膜の堆積を可能としている。しかし、プラズマ中にはイオン種も存在するのでシース領域における電界によって加速されたイオン種による基板へのダメージを上手く抑制する必要がある。一方、減圧CVD法は原料ガスを熱分解して基板上に膜を堆積する方法であり、プラズマCVD法のようにイオン種による基板へのダメージはないものの、堆積速度が遅いという欠点を有している。

【0006】いずれにしても、TFTのゲート絶縁膜や下地膜、或いは保護絶縁膜または層間絶縁膜とするためには、界面準位密度や膜中の欠陥準位密度(バルク欠陥密度)を十分低減する必要があった。さらに内部応力やその熱処理による変化量も考慮する必要があった。

【0007】

【発明が解決しようとする課題】良質な絶縁膜を形成するためには、膜の堆積過程で欠陥を導入しないことや、形成した膜の欠陥準位密度が小さくなる組成とすることが重要である。そのため分解効率が高い原料ガスを用いる手段が考えられている。例えば、TEOS(オルトケイ酸テトラエチル:Tetraethyl Ortho Silicate、化学式:Si(OCH₃)₄)と酸素(O₂)の混合ガスによりプラズマCVD法で作製された酸化シリコン膜は良質な絶縁膜を形成できる方法の一つである。この酸化シリコン膜を用いてMOS構造を作製し、BTS(バイアス・熱・ストレス)試験を行うと、フラットバンド電圧(以下、V_{Fb}と略して記す)の変動を実用的な範囲に低減できることが知られている。

【0008】しかし、TEOSをグロー放電分解する過程で水分(H₂O)が生成されやすく、これが容易に膜中に取り込まれるため、上記のような良質な膜とするためには成膜後に400～600°Cで熱アニールを施す必要があった。TFTの製造工程において、このような高温のアニール工程を組み込むことは、製造コストの増加要因として不適切なものであった。

【0009】一方、SiH₄とN₂Oとの混合ガスを用いたプラズマCVD法による酸化窒化シリコン膜は、膜中に数atomic%の窒素を含有させることで緻密化させ、熱アニールを施す必要がない良質な膜を作製することがで

きる。しかし、作製条件によって Si-N結合による欠陥準位が形成され、BTS試験でV_{fb}の変動が大きくなったり、TFT特性でしきい値電圧（以下、V_{th}と略して記す）のシフトを起こす場合がある。同様に、プラズマCVD法でSiH₄、NH₃、N₂などから作製される窒化シリコン膜は緻密で硬い膜を作製できるが、欠陥準位密度が大きく、また内部応力が大きいので活性層に直接接して形成すると歪みを与え、TFTの特性に対してV_{th}のシフトやサブレッショルド係数（以下、S値と略して記す）を大きくする悪影響があった。

【0010】本発明は上記問題点を解決するための技術であり、TFTに代表される半導体装置に適した絶縁膜およびその作製方法を提供することを目的とする。また、本発明は、そのような絶縁膜をゲート絶縁膜や下地膜、および保護絶縁膜または層間絶縁膜に用いた半導体装置およびその作製方法を提供することを目的としている。

【0011】

【課題を解決するための手段】上記問題点を解決するために本発明は、SiH₄、N₂O、H₂を原料ガスとしてプラズマCVD法で作製される酸化窒化水素化シリコン膜をTFTに代表される半導体装置の絶縁膜材料として用いる。このような酸化窒化水素化シリコン膜をゲート絶縁膜や下地膜、および保護絶縁膜或いは層間絶縁膜に用いることによりV_{th}シフトがなくBTSに対して安定なTFTを作製することができる。

【0012】SiH₄、N₂O、H₂を原料ガスとしてプラズマCVD法で作製される酸化窒化水素化シリコン膜に関する報告は、例えば、「Structural and optical properties of amorphous silicon oxynitride」, Jiunn-lin Yeh and Si-Chen Lee, Journal of Applied Physics vol.79, No.2, pp656-663, 1996」には、プラズマCVD法で分解温度を250°Cとして水素(H₂)対SiH₄+N₂Oの混合比を0.9対1.0で一定として、SiH₄とN₂Oの混合比をXg=[N₂O]/([SiH₄]+[N₂O])で表し、Xgの値を0.05~0.975まで変化させて作製された酸化窒化水素化シリコン膜について述べられている。しかしながら、ここで作製された酸化窒化水素化シリコン膜には、HSi-O₃結合やH₂Si-O₂結合の存在がフーリエ変換赤外分光法(FT-IR)により明瞭にその存在が観測されている。このような結合は熱的安定性に劣るばかりか、配位数の変動によりその結合が存在する周辺に欠陥準位密度を形成してしまう懸念がある。従って、同じ酸化窒化水素化シリコン膜としても、その組成、或いは不純物元素までを含めた成分まで詳細に吟味しないと、容易にはゲート絶縁膜などTFTの特性に重大な影響を与える絶縁膜に使用することはできない。

【0013】従って、本発明の酸化窒化水素化シリコン膜による絶縁膜材料は、SiH₄、N₂O、H₂を原料ガ

スとしてプラズマCVD法で作製される膜であり、その組成において、酸素濃度を5 atomic%以上70 atomic%以下、窒素濃度を0.1 atomic%以上6 atomic%以下、好ましくは0.1 atomic%以上2 atomic%以下とし、水素濃度を0.1 atomic%以上3 atomic%以下とする。このような組成の膜とするために、基板温度を350~500°C、好ましくは400~450°Cとして、放電電力密度0.1~1W/cm²とする。

【0014】プラズマCVD法で酸化窒化水素化シリコン膜を作製する時に、従来用いられてきたSiH₄とN₂Oの混合ガスに水素を添加することで、SiH₄から分解して生成されたラジカルが気相中(反応空間中)でポリマー化をするのを防ぎ、パーティクルの生成を無くすことができる。また、膜の成長表面において、水素ラジカルによる表面吸着水素の引き抜き反応により過剰な水素が膜中へ取り込まれるのを防止することができる。このような作用は膜堆積時の基板温度と密接な相関があり、基板温度を本発明の範囲とすることにより初めてその作用を得ることができる。その結果、欠陥密度の少ない緻密な膜を形成することを可能とし、膜中に含まれる微量の水素は格子歪みを緩和する作用として有効に働く。水素を分解して水素ラジカルの発生密度を高めるには、グロー放電を発生させるための高周波電源周波数13.56~120MHz、好ましくは27~70MHzにするといい。

【0015】このように本発明は、酸化窒化水素化シリコン膜における酸素、窒素、水素の量を最適なものとすることにより初めて得られる効果を有効に利用するものである。同じ作製法で形成される酸化窒化水素化シリコン膜であってもその作製方法や作製条件により異なる組成の膜が形成され、例えば、水素が過剰に含まれることにより、上述のように膜の不安定さを増大させる結果をもたらすことになる。

【0016】さらに、このような酸化窒化水素化シリコン膜で、TFTのゲート絶縁膜、下地膜、保護絶縁膜または層間絶縁膜を形成し、その後、300°C以上500°C以下の温度で熱処理することにより、酸化窒化水素化シリコン膜が含有する水素が放出され、これを活性層に拡散させることにより、活性層の水素化を効果的に行うこともできる。以下に本発明の実施形態を詳細に記述する。

【0017】

【発明の実施の形態】本実施形態では、TFTに代表される半導体装置に適した絶縁膜の作製方法について説明する。そのような絶縁膜として酸化窒化水素化シリコン膜は有用であり、本発明の酸化窒化水素化シリコン膜はプラズマCVD法でSiH₄、N₂O、H₂を原料ガスとして作製されるものである。ここでは、その酸化窒化水素化シリコン膜を用いてMOS構造の試料を作製したときに得られる容量-電圧特性(以下、C-V特性と略し

て記す)を示す。

【0018】酸化窒化水素化シリコン膜の作製に用いるプラズマCVD装置は、容量結合型の方式を採用すれば良い。その時の代表的な作製条件を表1に示す。表1には3種類の作製条件が記載されているが、本発明に係わる作製条件は#1883と#1884である。#1876は従来の酸化窒化シリコン膜の作製条件であり、対比するために記載した。表1には、酸化窒化水素化シリコ

ン膜の成膜条件と、その成膜前に実施する前処理条件について記載されている。この前処理は必須なものではないが、酸化窒化水素化シリコン膜特性の再現性や TFT に応用した場合におけるその特性の再現性を高めるため有用であった。

【0019】

【表1】

条件No.		#1883	#1884	#1876	
アラズマ クリーニング	ガス (sccm)	H ₂ O ₂	200 0	200 0	100 100
	圧力 (Pa)		20	20	20
	RFパワー (W/cm ²)		0.2	0.2	0.2
	処理時間 (min)		2	2	2
	ガス (sccm)	SiH ₄ N ₂ O H ₂	5 120 500	5 120 125	4 400 0
	圧力 (Pa)		20	20	40
成膜	RFパワー (W/cm ²)		0.4	0.4	0.4
	基板温度 (°C)		400	400	400

【0020】表1を参照すると前処理条件は、水素を3.8Pa·1/sec導入し、圧力20Pa、高周波電力0.2W/cm²でプラズマを生成して2分間処理する。また、水素を1.69Pa·1/secと酸素を1.69Pa·1/sec導入して、圧力40Paで同様にプラズマを生成して処理しても良い。また、表には記載しないが、N₂Oと水素を導入して圧力1.0~7.0Pa、高周波電力密度0.1~0.5W/cm²で数分間処理しても良い。このような前処理のとき基板温度は300~450°C、好ましくは400°Cとすれば良い。前処理の効果は、基板上の被堆積表面をグリーニングする作用や、被堆積表面に水素を吸着させ一時的に不活性化させることで、その後堆積される酸化窒化水素化シリコン膜の界面特性を安定化させる作用がある。また、酸素やN₂Oを同時に導入することにより、被堆積表面の最表面およびその近傍を酸化させ、界面準位密度を低減させるなどの好ましい作用がある。

【0021】本発明の酸化窒化水素化シリコン膜の成膜条件は、SiH₄を1~1.7Pa·1/sec、N₂Oを1.69~5.06Pa·1/sec、水素を1.69~1.266Pa·1/sec、反応圧力1.0~7.0Pa、高周波電力密度0.1~1.0W/cm²とし、基板温度は300~450°C、好ましくは400°Cで成膜する。#1883の条件では、SiH₄を8.44Pa·1/sec、N₂Oを2.03Pa·1/sec、水素を8.44Pa·1/sec、反応圧力20Pa、高周波電力密度0.4W/cm²とし、基板温度400°Cで作製した。高周波電源周波数は13.56~12.0MHz、好ましくは2.7~6.0MHzが適用され得るが、ここでは6.0MHzとした。また、#1884の条件では、#1883の条件において水素の流量を2.11Pa·1/secとして作製した。このようなそれぞれのガスの流量は、その絶対値を限定するものではなく本来はその流量比に意味を持っている。X_h = [H₂] / ([SiH₄] + [N₂O]) とすると、X_hは0.1~7の範囲とすれば良い。また、前述のよう

に、X_g = [N₂O] / ([SiH₄] + [N₂O]) とすると、X_gは0.90~0.996の範囲とすれば良い。また、表1に記載した#1876の条件は従来の条件であり、水素を添加しないで作製する酸化窒化水素化シリコン膜の代表的な作製条件である。

【0022】このようにして作製した酸化窒化水素化シリコン膜の特性について、まずMOS構造の試料を作製してC-V特性と、そのBTS試験によるV_{fb}の変動について調べた。C-V特性においてはV_{fb}が0VとなりBTS試験においてもその変動がないことが最も望ましく、この値が0Vからずれることは、界面や絶縁膜中に欠陥準位密度が多いことを意味する。試料は、単結晶シリコン基板(CZ-P型、<100>、抵抗率3~7Ωcm)の上に表1に示す条件で酸化窒化水素化シリコン膜を1.55nmの厚さに形成した。電極はアルミニウム(A1)をスパッタ法で4.00nmの厚さに形成し、電極面積は78.5mm²とした。また、単結晶シリコン基板の裏面にも同じ厚さでA1電極を形成し、水素雰囲気中において350°Cで30分熱処理を施しシンタリングを行った。BTS試験は酸化窒化水素化シリコン膜上の電極に-1.7MVの電圧を印加して、150°Cで1時間放置した。

【0023】図3はこのような試料のC-V特性を示す。測定には横川ヒューレット・パッカード社製のYHP-4192Aを用いた。図3(a)は#1876の条件で酸化窒化水素化シリコン膜を作製したもので、BTS試験前後で特性が大幅に変動している。一方、図3(b)は#1883の条件で作製したものであり、図3(c)は#1884の条件で作製した試料の特性である。図3(b)、(c)においてはBTS試験前後における特性の変動は少ないことが確認された。表2はこのC-V特性から得られるV_{fb}の値をまとめたものであり、初期値と1回目のBTS試験後の値であり、V_{fb}の

変動量を ΔV_{fb} で表している。 V_{fb} の初期値は、#1883の条件による試料で-2.25V、#1884の条件による試料で-0.66V、#1876の条件による試料で-2.84Vであり、 ΔV_{fb} はそれぞれ-0.55V、-0.15V、-1.35Vであった。即ち、#

1884の条件で作製した試料のものが、 V_{fb} の初期値および ΔV_{fb} の値とも最も小さかった。

【0024】

【表2】

条件No.		#1883	#1884	#1876
C-V data	V_{fb} (V)	ini	-2.25	-0.66
		1st-BTS	-2.8	-0.81
	ΔV_{fb} (V)	-BT)-(ini	-0.55	-0.15
	E		4.017	3.796
			3.569	

【0025】このようなC-V特性の結果は、酸化窒化水素化シリコン膜の作製条件において、SiH₄とN₂Oに対し混合する水素の割合に最適な範囲があることを示唆している。図3および表2の結果からは、Xh=1、Xg=0.96の場合に良好な結果が得られることが判明した。

【0026】図4はこれらの試料の含有水素量をFT-IR分光器（使用装置：Nicolet Magna-IR 760）で測定した赤外吸収分光特性から調べた。測定に用いた試料は単結晶シリコン基板（FZ-N型、<100>、抵抗率1000Ωcm以上）に成膜したものを用いた。いずれの試料においてもSi-O-Si結合による1080~1050cm⁻¹にピークをもつstretchingモードの吸収と810cm⁻¹にピークをもつbendingモードの吸収が観測されている。しかし、2300~2000cm⁻¹付近に観測されるSi-Hに関連する吸収や、HSi-Oに関連する吸収は相対的に弱く観測されている。2000cm⁻¹にstretchingモードの吸収ピークをもつSi-H結合を前提として、それぞれの試料の含有水素量を定量すると、#1876、#1884の条件により作製した試料では定量することができず、この結合は1×10¹⁹cm⁻³以下の濃度であることが判明した。#1883の条件で作製した試料からはSi-H結合を4×10¹⁹cm⁻³の濃度を定量することができた。一方、3400~3250cm⁻¹を積分して得られるN-H結合の濃度を評価すると、#1883の条件で作製した試料からは6×10²⁰cm⁻³の濃度が定量された。また、#1884の条件で作製した試料からは4×10²⁰cm⁻³の濃度が定量された。しかし、#1876の従来条件による試料では定量化することができなかった。

【0027】このように、表1に示す3つの条件で作製した酸化窒化水素化シリコン膜を用いたMOS構造の試料のC-V特性には明確な差が認められ、 V_{fb} の初期値およびBTS試験後の変動値の両者を小さくできる作製条件があることが認められた。そして、それぞれの膜の含有水素濃度に違いがあり、C-V特性との関連から最適な組成があることを確認することができた。

【0028】表1および表2では代表的な例を示したが、TFTに代表される半導体装置に適した絶縁膜として適した絶縁膜の組成は、酸素濃度を55atomic%以上

70 atomic%以下、窒素濃度を0.1 atomic%以上6 atomic%以下、好ましくは0.1 atomic%以上2 atomic%以下とし、水素濃度を0.1 atomic%以上3 atomic%以下とすれば良かった。

【0029】

【実施例】【実施例1】本実施例では、CMOS回路を形成するのに必要なnチャネル型TFTとpチャネル型TFTを同一基板上に作製する方法について、工程に従って図1と図2を用いて説明する。ここでは、本発明の酸化窒化水素化シリコン膜から成る絶縁膜を、TFTの下地膜、ゲート絶縁膜、および層間絶縁膜に適用した。

【0030】図1(A)において、基板101にはコーニング社の#7059ガラスや#1737ガラス基などに代表されるバリウムホウケイ酸ガラスやアルミニオホウケイ酸ガラスなどを用いる。このようなガラス基板には微量ではあるがナトリウムなどのアルカリ金属元素が含まれていた。このようなガラス基板は熱処理時の温度により数ppm~数十ppm程度収縮するので、ガラス歪み点よりも10~20°C程度低い温度であらかじめ熱処理しておいても良い。この基板101のTFTを形成する表面には、基板101から前記アルカリ金属元素やその他の不純物の汚染を防ぐために下地膜102を形成する。下地膜102は、SiH₄、NH₃、N₂Oから作製する酸化窒化シリコン膜102aと、SiH₄、N₂O、H₂から作製する酸化窒化水素化シリコン膜102bで形成する。酸化窒化シリコン膜102aは10~100nm(好ましくは20~60nm)の厚さで形成し、酸化窒化水素化シリコン膜102bは10~200nm(好ましくは20~100nm)の厚さで形成する。

【0031】これらの膜は従来の平行平板型のプラズマCVD法を用いて形成する。酸化窒化シリコン膜102aは、SiH₄を1.6.9Pa·l/sec、NH₃を16.9Pa·l/sec、N₂Oを33.8Pa·l/secとして反応室に導入し、基板温度325°C、反応圧力40Pa、放電電力密度0.41W/cm²、放電周波数60MHzとした。一方、酸化窒化水素化シリコン膜102bは、SiH₄を8.4Pa·l/sec、N₂Oを20.3Pa·l/sec、H₂を21.1Pa·l/secとして反応室に導入し、基板温度400°C、反応圧力20Pa、放電電力密度0.41W/cm²、放電周波数60MHzとした。これらの膜は、基板温度を変化させ、反応ガス

の切り替えのみで連続して形成することもできる。

【0032】ここで作製した酸化塗化シリコン膜102aは、密度が $9.28 \times 10^{22}/\text{cm}^3$ であり、フッ化水素アンモニウム(NH_4HF_2)を7.13%とフッ化アンモニウム(NH_4F)を15.4%含む混合溶液(ステラケミファ社製、商品名LAL500)の20°Cにおけるエッティング速度が3nm/minと遅く、緻密で硬い膜である。このような膜を下地膜に用いると、この上に形成する半導体層にガラス基板からのアルカリ金属元素が拡散するのを防ぐのに有効である。

【0033】次に、25~80nm(好ましくは30~60nm)の厚さで非晶質構造を有する半導体層103aを、プラズマCVD法やスパッタ法などの公知の方法で形成する。本実施形態では、プラズマCVD法で非晶質シリコン膜を55nmの厚さに形成した。非晶質構造を有する半導体膜としては、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜102と非晶質半導体層103aとは両者を連続形成しても良い。例えば、前述のように酸化塗化シリコン膜102aと酸化塗化水素化シリコン膜102bをプラズマCVD法で連続して成膜後、反応ガスをSiH₄、N₂O、H₂からSiH₄とH₂或いはSiH₄のみに切り替えれば、一旦大気雰囲気に晒すことなく連続形成できる。その結果、酸化塗化水素化シリコン膜102bの表面の汚染を防ぐことが可能となり、作製するTFTの特性バラツキやしきい値電圧の変動を低減させることができる。

【0034】そして、結晶化の工程を行い非晶質半導体層103aから結晶質半導体層103bを形成する。例えば、レーザーアニール法や熱アニール法(固相成長法)、またはラピットサーマルアニール法(RTA法)を適用すれば良い。RTA法では、赤外線ランプ、ハロゲンランプ、メタルハライドランプ、キセノンランプなどを光源に用いる。或いは特開平7-130652号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質半導体層103bを形成することもできる。結晶化の工程ではまず、非晶質半導体層が含有する水素を放出させておくことが肝要であり、400~500°Cで1時間程度の熱処理を行い含有する水素量を5atom%以下にしてから結晶化させることが望ましい。

【0035】結晶化をレーザーアニール法にて行う場合には、パルス発振型または連続発光型のエキシマレーザーやアルゴンレーザーをその光源とする。パルス発振型のエキシマレーザーを用いる場合には、レーザー光を線状に加工してレーザーアニールを行う。レーザーアニール条件は実施者が適宜選択するものであるが、例えば、レーザーパルス発振周波数30Hzとし、レーザーエネルギー密度を100~500mJ/cm²(代表的には300~400mJ/cm²)とする。そして線状ビームを基板全面

に渡って照射し、この時の線状ビームの重ね合わせ率(オーバーラップ率)を80~98%として行う。このようにして結晶質半導体層を形成することができる。

【0036】熱アニール法による場合にはファーネスアニール炉を用い、窒素雰囲気中で600~660°C程度の温度でアニールを行う。いずれにしても非晶質半導体層を結晶化させると原子の再配列が起こり緻密化するので、作製される結晶質半導体層の厚さは当初の非晶質半導体層の厚さ(本実施例では55nm)よりも1~15%程度減少した。

【0037】そして、結晶質半導体層103b上にフォトレジストパターンを形成し、ドライエッティングによって結晶質半導体層を島状に分割して島状半導体層104、105aを形成し活性層とする。ドライエッティングにはCF₄とO₂の混合ガスを用いた。その後、プラズマCVD法や減圧CVD法、またはスパッタ法により50~100nmの厚さの酸化シリコン膜によるマスク層106を形成する。例えば、プラズマCVD法による場合、TEOSとO₂とを混合し、反応圧力40Pa、基板温度300~400°Cとし、高周波(13.56MHz)電力密度0.5~0.8W/cm²で放電させ、100~150nm(代表的には130nm)の厚さに形成する。

【0038】そしてフォトレジストマスク107を設け、nチャネル型TFTを形成する島状半導体層105aにしきい値電圧を制御する目的で $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^2$ 程度の濃度でp型を付与する不純物元素を添加する。半導体に対してp型を付与する不純物元素には、ホウ素(B)、アルミニウム(A1)、ガリウム(Ga)など周期律表第13族の元素が知られている。ここではイオンドープ法でジボラン(B₂H₆)を用いホウ素(B)を添加した。ホウ素(B)添加は必ずしも必要でなく省略しても差し支えないが、ホウ素(B)を添加した半導体層105bはnチャネル型TFTのしきい値電圧を所定の範囲内に収めるために形成することができた。

【0039】nチャネル型TFTのLDD領域を形成するために、n型を付与する不純物元素を島状半導体層105bに選択的に添加する。半導体に対してn型を付与する不純物元素には、リン(P)、砒素(As)、アンチモン(Sb)など周期律表第15族の元素が知られている。フォトレジストマスク108を形成し、ここではリン(P)を添加すべく、フォスフィン(PH₃)を用いたイオンドープ法を適用した。形成される不純物領域109におけるリン(P)濃度は $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^2$ の範囲とする。本明細書中では、不純物領域109に含まれるn型を付与する不純物元素の濃度を(n⁻)と表す。

【0040】次に、マスク層106を純水で希釈したフッ酸などのエッティング液により除去する。そして、図1(D)と図1(E)で島状半導体層105bに添加した

不純物元素を活性化させる工程を行う。活性化は窒素雰囲気中で500~600°Cで1~4時間の熱アニールや、レーザーアニールなどの方法により行うことができる。また、両方の方法を併用して行っても良い。本実施例では、レーザー活性化の方法を用い、KrFエキシマレーザー光(波長248nm)を用い、線状ビームを形成して、発振周波数5~50Hz、エネルギー密度100~500mJ/cm²として線状ビームのオーバーラップ割合を80~98%として走査して、島状半導体層が形成された基板全面を処理した。尚、レーザー光の照射条件には何ら限定される事項はなく、実施者が適宜決定すれば良い。

【0041】次に、ゲート絶縁膜110をプラズマCVD法を用いて40~150nmの厚さでシリコンを含む絶縁膜で形成する。まず、ゲート絶縁膜の成膜に先立って、プラズマクリーニング処理を行う。プラズマクリーニング処理は、水素を338Pa·1/sec導入し、圧力20Pa、高周波電力0.2W/cm²でプラズマを生成して2分間処理する。或いは、水素を169Pa·1/secと酸素を169Pa·1/sec導入して、圧力40Paで同様にプラズマを生成して処理しても良い。基板温度は300~450°C、好ましくは400°Cとする。この段階で、島状半導体層104、105bの表面をプラズマクリーニング処理することで、吸着しているボロンやリン、および有機物などの汚染物質を取り省くことができる。また、酸素やN₂Oを同時に導入することにより、被堆積表面の最表面およびその近傍を酸化させ、ゲート絶縁膜との界面準位密度を低減させるなどの好ましい作用がある。ゲート絶縁膜110はこのプラズマクリーニングと連続して行い、前述の酸化窒化水素化シリコン膜102bと同様に、SiH₄を8.4Pa·1/sec、N₂Oを203Pa·1/sec、H₂を211Pa·1/secとして反応室に導入し、基板温度400°C、反応圧力20Pa、放電電力密度0.41W/cm²、放電周波数6.0MHzとして形成した。

【0042】ゲート絶縁膜110上には、ゲート電極を形成するために導電層を成膜する。この導電層は単層で形成しても良いが、必要に応じて二層あるいは三層といった積層構造とすることもできる。本実施例では、導電性の窒化物金属膜から成る導電層(A)111と金属膜から成る導電層(B)112とを積層させた。導電層(B)112はタンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タンクスチル(W)から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜(代表的にはMo-W合金膜、Mo-Ta合金膜)で形成すれば良く、導電層(A)111は窒化タンタル(TaN)、窒化タンクスチル(WN)、窒化チタン(TiN)膜、窒化モリブデン(MoN)などで形成する。また、導電層(A)111はタンクスチルシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。導電層(B)112は低抵

抗化を図るために含有する不純物濃度を低減させると良く、特に酸素濃度に関しては30ppm以下とすると良かった。例えば、タンクスチル(W)は酸素濃度を30ppm以下とすることで20μΩcm以下の比抵抗値を実現することができた。

【0043】導電層(A)111は10~50nm(好ましくは20~30nm)とし、導電層(B)112は200~400nm(好ましくは250~350nm)とすれば良い。本実施例では、導電層(A)111に30nmの厚さのTaN膜を、導電層(B)112には350nmのTa膜を用い、いずれもスパッタ法で形成した。TaN膜はTaをターゲットとしてスパッタガスにArと窒素との混合ガスを用いて成膜した。TaはスパッタガスにArを用いた。また、これらのスパッタガス中に適量のXeやKrを加えておくと、膜の内部応力を緩和して膜の剥離を防止することができる。α相のTa膜の抵抗率は20μΩcm程度でありゲート電極に使用するに適しているが、β相のTa膜の抵抗率は180μΩcm程度でありゲート電極とするには不向きであった。TaN膜はα相に近い結晶構造を持つので、この上にTa膜を形成すればα相のTa膜が容易に得ることができる。尚、図示しないが、導電層(A)111の下に2~20nm程度の厚さでリン(P)をドープしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層(A)または導電層(B)が微量に含有するアルカリ金属元素がゲート絶縁膜110に拡散するのを防ぐことができる。いずれにしても、導電層(B)は抵抗率を10~500μΩcmの範囲ですることが好ましい。

【0044】次に、フォトレジストマスク113を形成し、導電層(A)111と導電層(B)112とを一括でエッチングしてゲート電極114、115を形成する。例えば、ドライエッチング法によりCF₄とO₂の混合ガス、またはCl₂を用いて1~20Paの反応圧力で行うことができる。ゲート電極114、115は、導電層(A)から成る114a、115aと、導電層(B)から成る114b、115bとが一体として形成されている。この時、nチャネル型TFTのゲート電極115は不純物領域109の一部と、ゲート絶縁膜110を介して重なるように形成する。また、ゲート電極は導電層(B)のみで形成することも可能である。

【0045】次いで、pチャネル型TFTのソース領域およびドレイン領域とする不純物領域117を形成する。ここでは、ゲート電極114をマスクとしてp型を付与する不純物元素を添加し、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体層はフォトレジストマスク116で被覆しておく。そして、不純物領域117はジボラン(B₂H₆)を用いたイオンドープ法で形成する。この領域のボロン(B)濃度は3×10²⁰~3×10²¹atoms/cm³となる。

ようにする。本明細書中では、ここで形成された不純物領域117に含まれるp型を付与する不純物元素の濃度を(p^+)と表す。

【0046】次に、nチャネル型TFTのソース領域またはドレイン領域を形成する不純物領域118の形成を行った。ここでは、フォスフィン(PH_3)を用いたイオンドープ法で行い、この領域のリン(P)濃度を $1 \times 10^{20} \sim 1 \times 10^{21} atoms/cm^3$ とした。本明細書中では、ここで形成された不純物領域118に含まれるn型を付与する不純物元素の濃度を(n^+)と表す。不純物領域117にも同時にリン(P)が添加されるが、既に前の工程で添加されたボロン(B)濃度と比較して不純物領域117に添加されたリン(P)濃度はその $1/2 \sim 1/3$ 程度なのでp型の導電性が確保され、TFTの特性に何ら影響を与えることはなかった。

【0047】その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化する工程を熱アニール法で行う。この工程はファーネスアニール炉を用いれば良い。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)で行うことができる。アニール処理は酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400~700°C、代表的には500~600°Cで行うものであり、本実施例では550°Cで4時間の熱処理を行った。また、アニール処理の前に、50~200nmの厚さの保護絶縁層119を酸化窒化シリコン膜や酸化シリコン膜などで形成すると良い。好ましくは、酸化窒化水素化シリコン膜を表1の#1883または#1884の条件で形成すれば良いが、#1876の条件で作製してもこの場合は問題ない。

【0048】活性化の工程の後、さらに、3~100%の水素を含む雰囲気中で、300~500°Cで1~12時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダンギングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0049】その後、保護絶縁層上にさらに表1に示す#1883または#1884の条件で酸化窒化水素化シリコン膜を成膜して層間絶縁層120を形成する。本実施例では酸化窒化水素化シリコン膜を、 SiH_4 を $8.4 Pa \cdot 1/sec$ 、 N_2O を $200 Pa \cdot 1/sec$ 、 H_2 を $84.4 Pa \cdot 1/sec$ 導入して反応圧力40Pa、基板温度400°Cとし、放電電力密度を $0.4 W/cm^2$ として、500~1500nm(好ましくは600~800nm)の厚さで形成する。

【0050】そして、層間絶縁層120および保護絶縁層119TFTのソース領域またはドレイン領域に達するコンタクトホールを形成し、ソース配線121、124と、ドレイン配線122、123を形成する。図示していないが、本実施例ではこの電極を、Ti膜を100

nm、Tiを含むアルミニウム膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とした。

【0051】次に、パッシベーション膜125として、窒化シリコン膜または酸化窒化シリコン膜を50~500nm(代表的には100~300nm)の厚さで形成する。この状態で水素化処理を行うとTFTの特性向上に対して好ましい結果が得られる。例えば、3~100%の水素を含む雰囲気中で、300~500°Cで1~12時間の熱処理を行うと良い。パッシベーション膜125を緻密な窒化シリコン膜で形成し、このような温度で熱処理を行うと、層間絶縁層120を形成する酸化窒化水素化シリコン膜の含有水素が放出され、上層側は緻密な窒化シリコン膜でキャップされることになり水素の拡散が阻止されるので、放出される水素は下層側に優先的に拡散し、島状半導体層104、105bの水素化を酸化窒化水素化シリコン膜から放出される水素で行うことができる。同様に、下地膜に用いた酸化窒化水素化シリコン膜からも水素が放出されるので、島状半導体層104、105bは上層側および下層側の両側より水素化される。また、この水素化処理はプラズマ水素化法を用いても同様の効果が得ることができる。

【0052】こうして基板101上に、nチャネル型TFT134とpチャネル型TFT133とを完成させることができた。pチャネル型TFT133には、島状半導体層104にチャネル形成領域126、ソース領域127、ドレイン領域128を有している。nチャネル型TFT134には、島状半導体層105にチャネル形成領域129、ゲート電極115と重なるLDD領域130(以降、このようなLDD領域をLovと記す)、ソース領域132、ドレイン領域131を有している。このLov領域のチャネル長方向の長さは、チャネル長3~8μmに対して、0.5~3.0μm(好ましくは1.0~1.5μm)とした。図2ではそれぞれのTFTをシングルゲート構造としたが、ダブルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【0053】このように作製したTFTの特性を評価した。TFTで形成した回路を所望の駆動電圧で正常に動作させるために着目する特性は、 V_{th} 、S値、電界効果移動度などであり、ここでは特に V_{th} とS値について着目した。TFTのサイズはpチャネル型およびnチャネル型TFT共にチャネル長 $L = 8 \mu m$ 、チャネル幅 $W = 8 \mu m$ であり、nチャネル型TFTにはLDDとして $L_o = 2 \mu m$ を設けてある。

【0054】その結果、完成したTFTにおいてnチャネル型TFTでは、S値を $0.10V/dec$ 以上 $0.30V/dec$ 以下、 V_{th} を $0.5V$ 以上 $2.5V$ 以下、電界効果移動度は $120cm^2/V \cdot sec$ 以上 $250cm^2/V \cdot sec$ 以下とすることができる。また、pチャネル型TFTでは、S

値を0.10V/dec以上0.30V/dec以下、V_{th}を-2.5V以上-0.5V以下、電界効果移動度は8cm²/V·sec以上15.0cm²/V·sec以下とすることができる。このような特性は、TFTの下地膜やゲート絶縁膜、さらに保護絶縁膜または層間絶縁膜にSiH₄、N₂O、H₂から作製される酸化窒化水素化シリコン膜で形成し、その含有水素量をはじめとする組成を適したものとすることにより、再現性良く得ることができる。

【0055】[実施例2] TFTの活性層とする結晶質半導体膜の作製方法は、レーザーアニール法のみに限定されるものではなく、レーザーアニール法と熱アニール法を併用しても良い。また、熱アニール法による結晶化は、特開平7-130652号公報で開示される触媒元素を用いる結晶化法にも応用することができる。その方法を図5を用いて説明する。

【0056】図5(A)で示すように、実施例1と同様にして、基板101上に酸化窒化シリコン膜102a、酸化窒化水素化シリコン膜102bを形成する。そしてプラズマCVD法やスパッタ法などで非晶質半導体膜103aを25~80nmの厚さで形成する。例えば、非晶質シリコン膜を55nmの厚さで形成する。そして、重量換算で10ppmの触媒元素を含む水溶液をスピンドル法で塗布して触媒元素を含有する層150を形成する。触媒元素にはニッケル(Ni)、ゲルマニウム(Ge)、鉄(Fe)、パラジウム(Pd)、スズ(Sn)、鉛(Pb)、コバルト(Co)、白金(Plt)、銅(Cu)、金(Au)などである。この触媒元素を含有する層150は、スピンドル法の他にスパッタ法や真空蒸着法によって上記触媒元素の層を1~5nmの厚さに形成しても良い。

【0057】そして、図5(B)に示す結晶化の工程では、まず400~500°Cで1時間程度の熱処理を行い、非晶質シリコン膜の含有水素量を5atomic%以下にする。そして、ファーネスアニール炉を用い、窒素雰囲気中で550~600°Cで1~8時間の熱アニールを行う。以上の工程により結晶質半導体膜(結晶質シリコン膜)103cを得ることができる。しかし、ここまで得た工程で熱アニールによって作製された結晶質半導体膜103cは、透過型電子顕微鏡などで微視的に観察すると複数の結晶粒から成り、その結晶粒の大きさとその配置は一様ではなくランダムなものである。また、ラマン分光法からスペクトルや、光学顕微鏡観察により巨視的に観察すると局所的に非晶質領域が残存していることが観察されることがある。

【0058】このような結晶質半導体膜103cの結晶性をより高めるために、レーザーアニール法をこの段階で実施すると有効である。レーザーアニール法では結晶質半導体膜103cを一旦溶融状態にしてから再結晶化させるため、上記目的を達成することができる。例えば、XeClエキシマレーザー(波長308nm)を用

い、光学系で線状ビームを形成して、発振周波数5~50Hz、エネルギー密度100~500mJ/cm²として線状ビームのオーバーラップ割合を80~98%として照射する。このようにして、結晶質半導体膜103cの結晶性をより高めることができる。しかし、この状態で結晶質半導体膜103cの表面に残存する触媒元素の濃度は3×10¹⁰~2×10¹¹atoms/cm²であった。

【0059】そこで、特開平10-247735号公報で開示されているゲッタリングの工程を続いて行うことは有効な手段の一つである。このゲッタリングの工程により結晶質半導体膜103cの触媒元素の濃度を1×10¹⁷atoms/cm³以下、好ましくは1×10¹⁶atoms/cm³にまで低減させることができる。まず、図5(C)に示すように、結晶質半導体膜103cの表面にマスク絶縁膜膜151を150nmの厚さに形成し、パターニングにより開口部152を形成し、結晶質半導体膜の一部を露出させる。そして、リンを添加する工程を実施して、結晶質半導体膜103cにリン含有領域153を設ける。この状態で、図5(D)に示すように、窒素雰囲気中で500~800°C(好ましくは500~550°C)、5~24時間、例えば525°C、12時間の熱処理を行うと、リン含有領域153がゲッタリングサイトとして働き、結晶質シリコン膜103cに残存している触媒元素をリン含有領域153に偏析させることができる。そして、マスク絶縁膜膜152とリン含有領域153を除去し、図5(E)に示すように島状半導体層104'、105'を形成することにより、結晶化の工程で使用した触媒元素の濃度を1×10¹⁷atoms/cm³以下にまで低減された結晶質シリコン膜を得ることができる。

【0060】以降、実施例1における図1(C)からの工程に従えば、このような島状半導体層104'、105'を用いてTFTを完成させることができる。また、ゲッタリングの工程は、本実施例の方法に限定されるものではなく、後述するようにソース領域およびドレイン領域の活性化の工程において同時にを行う方法もある。

【0061】[実施例3] 図6~図8を用いて本実施例を説明する。まず、基板601としてガラス基板、例えばコーニング社の#1737基板を用意した。そして、基板601上にゲート電極602を形成した。ここでは、スパッタ法を用いて、タンタル(Ta)膜を200nmの厚さに形成した。また、ゲート電極602を、窒化タンタル(TaN)膜(膜厚50nm)とTa膜(膜厚250nm)の2層構造としても良い。Ta膜はスパッタ法でArガスを用い、Taをターゲットとして形成するが、ArガスにXeガスを加えた混合ガスでスパッタすると内部応力の絶対値を2×10⁸Pa以下にできる(図6(A))。

【0062】そして、ゲート絶縁膜603、非晶質半導体層604を順次大気開放しないで連続形成した。ゲート絶縁膜603は、プラズマCVD法を用い窒素リッチ

な塗化シリコン膜603aを25nmの厚さに形成し、その上に表1に記載した#1884の条件で作製する酸化塗化水素化シリコン膜603bを125nmの厚さに形成する。また、非晶質半導体層604もプラズマCVD法を用い、20~100nm、好ましくは40~75nmの厚さに形成した(図6(B))。

【0063】そして、ファーネスアニール炉を用い、450~550°Cで1時間の熱処理を行った。この熱処理により非晶質半導体層604から水素を放出させ、残存する水素量を5atomic%以下とする。その後、非晶質半導体層604を結晶化させる工程を行い、結晶質半導体層605を形成する。ここでの結晶化の工程は、レーザー-アニール法や熱-アニール法を用いれば良い。レーザー-アニール法では、例えばKrFエキシマレーザー光(波長248nm)を用い、線状ビームを形成して、発振パルス周波数30Hz、レーザーエネルギー密度100~500mJ/cm²、線状ビームのオーバーラップ率を96%として非晶質半導体層の結晶化を行った(図6(C))。また、実施例2で説明した結晶化の方法を適用することもできる。

【0064】次に、こうして形成された結晶質半導体層605に密接してチャネル形成領域を保護する酸化塗化水素化シリコン膜606を形成した。この酸化塗化水素化シリコン膜も表1に記載した#1884の条件で作製し200nmの厚さに形成する。この酸化塗化水素化シリコン膜606の成膜の前にプラズマCVD装置の反応室内で実施例1で記載したプラズマクリーニング処理を行い、結晶質半導体層605の表面を処理するとTFT特性のV_{th}のバラツキを減らすことができた。その後、裏面からの露光を用いたパターニング法により、酸化塗化水素化シリコン膜606に接したレジストマスク607を形成する。ここでは、ゲート電極602がマスクとなり、自己整合的にレジストマスク607を形成することができる。これは図示したようにレジストマスクの大きさは、光の回り込みによって、わずかにゲート電極の幅より小さくなつた(図6(D))。

【0065】このレジストマスク607を用いて酸化塗化水素化シリコン膜606をエッチングして、チャネル保護膜608を形成した後、レジストマスク607は除去した。この工程により、チャネル保護膜608と接する領域以外の結晶質半導体層605の表面を露呈させた。このチャネル保護膜608は、後の不純物添加の工程でチャネル領域に不純物が添加されることを防ぐ役目を果すと共に、結晶質半導体層の界面準位密度を低減する効果があった(図6(E))。

【0066】次いで、フォトマスクを用いたパターニングによって、nチャネル型TFTの一部とpチャネル型TFTの領域を覆うレジストマスク609を形成し、結晶質半導体層605の表面が露呈している領域にn型を付与する不純物元素を添加する工程を行つた。そして、

n⁺領域610aを形成した。ここではイオンドープ法でオスフィン(PH₃)を用い、ドーズ量5×10¹⁴atoms/cm²、加速電圧10keVとしてリン(P)を添加した。また、上記レジストマスク609のパターンは実施者が適宜設定することによりn⁺領域の幅が決定され、所望の幅を有するn⁻型領域、およびチャネル形成領域を形成することを可能としている(図7(A))。

【0067】レジストマスク609を除去した後、保護絶縁膜611aを形成した。この膜も表1に記載した#1884の条件による酸化塗化水素化シリコン膜で50nmの厚さに形成した(図7(B))。次いで、保護絶縁膜611aが表面に設けられた結晶質半導体層にn型を付与する不純物元素を添加する工程を行い、n⁻型領域612を形成した。但し、保護絶縁膜611aを介してその下の結晶質半導体層に不純物を添加するために、保護絶縁膜611aの厚さを考慮に入れ、適宜条件を設定する必要があった。ここでは、ドーズ量3×10¹³atoms/nm²、加速電圧60keVとした。こうして形成されるn⁻領域612はLDD領域として機能させる(図7(C))。

【0068】次いで、nチャネル型TFTを覆うレジストマスク614を形成し、pチャネル型TFTが形成される領域にp型を付与する不純物元素を添加する工程を行つた。ここでは、イオンドープ法でジボラン(B₂H₆)を用い、ボロン(B)を添加した。ドーズ量は4×10¹⁵atoms/cm²、加速電圧30keVとしてp⁺領域613を形成した(図7(D))。そして、レーザー-アニールまたは熱-アニールによる不純物元素の活性化の工程を行つた。(図7(E))。その後、チャネル保護膜608と保護絶縁膜611aをそのまま残し、公知のパターニング技術により結晶性半導体層を所望の形状にエッチングした(図8(A))。

【0069】以上の工程を経て、nチャネル型TFTのソース領域615、ドレイン領域616、LDD領域617、618、チャネル形成領域619が形成され、pチャネル型TFTのソース領域621、ドレイン領域622、チャネル形成領域620が形成された。次いで、nチャネル型TFTおよびpチャネル型TFTを覆つて第1の層間絶縁膜623を形成した。第1の層間絶縁膜623は表1に記載した#1883の条件で作製される酸化塗化水素化シリコン膜を用い、100~500nmの厚さに形成した(図8(B))。そして、第2の層間絶縁膜624を表1に記載した#1876の条件で作製される酸化塗化水素化シリコン膜で同様に100~500nmの厚さに形成した(図8(C))。

【0070】この状態で1回目の水素化の工程を行なつた。この工程は、例えば、3~100%の水素雰囲気中で300~550°C、好ましくは350~500°Cの熱処理を1~12時間行なえば良い。または、プラズマ化された水素を含む雰囲気中で同様の温度で10~60分

の処理を行なっても良い。この熱処理により第1の層間絶縁膜に含まれる水素や、上記熱処理雰囲気によって気相中から第2の層間絶縁膜に供給された水素は拡散し、その一部は半導体層にも達するので、結晶質半導体層の水素化を効果的に行なうことができる。

【0071】第1の層間絶縁膜623と第2の層間絶縁膜624はその後、所定のレジストマスクを形成して、エッチング処理によりそれぞれのTFTのソース領域と、ドレイン領域に達するコンタクトホールが形成した。そして、ソース電極625、627とドレイン電極626を形成した。図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むAl膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の電極として用いた(図8(D))。

【0072】さらに、パッシベーション膜628を形成する工程を行なった。パッシベーション膜はプラズマCVD法でSiH₄、N₂O、NH₃から形成される塗酸化シリコン膜、またはSiH₄、N₂、NH₃から作製される塗化シリコン膜で形成する。まず、膜の形成に先立ってN₂O、N₂、NH₃等を導入してプラズマ水素化処理を実施した。ここでプラズマ化されることにより気相中で生成された水素は第2の層間絶縁膜中にも供給され、基板を200～500℃に加熱しておけば、水素を第1の層間絶縁膜やさらにその下層側にも拡散させることができ、2回目の水素化の工程とすることできた。パッシベーション膜の作製条件は特に限定されるものではないが、緻密な膜とすることが望ましい。最後に3回目の水素化の工程を水素または窒素を含む雰囲気中で300～550℃の加熱処理を1～12時間の加熱処理により行うことにより行なった。このとき水素は、パッシベーション膜628から第2の層間絶縁膜624へ、第2の層間絶縁膜624から第1の層間絶縁膜623へ、そして第1の層間絶縁膜623から結晶質半導体層へと水素が拡散して結晶質半導体層の水素化を効果的に実現させることができる。水素は膜中から気相中へも放出されるが、パッシベーション膜を緻密な膜で形成しておけばある程度それを防止できだし、雰囲気中に水素を供給しておけばそれを補うこともできた。

【0073】以上の工程により、pチャネル型TFTとnチャネル型TFTを同一基板上に逆スタガ型の構造で形成することができた。そして、逆スタガ型のTFTにおいても、ゲート絶縁膜603bやチャネル保護膜608、保護絶縁膜611などに本発明の塗酸化水素化シリコン膜を適用することにより、完成したTFTにおいてnチャネル型TFTでは、S値を0.10V/dec以上0.30V/dec以下、Vthを0.5V以上2.5V以下、電界効果移動度は120cm²/V·sec以上250cm²/V·sec以下とすることができる。また、pチャネル型TFTでは、S値を0.10V/dec以上0.30V/dec以下、Vthを-2.5V以上-0.5V以下、電界効果移動

度は80cm²/V·sec以上150cm²/V·sec以下とすることができます。このような特性は、本発明の塗酸化水素化シリコン膜の中性欠陥や荷電欠陥をはじめとする欠陥準位密度が低く、また半導体層との界面準位密度が低いことに起因している。

【0074】[実施例4] 本実施例を図9～図13を参照して説明する。ここでは画素部の画素TFTと、画素部の周辺に設けられる駆動回路のTFTを同一基板上に作製する方法について工程に従って詳細に説明する。但し、説明を簡単にするために、制御回路ではシフトレジスタ回路、バッファ回路などの基本回路であるCMOS回路と、サンプリング回路を形成するnチャネル型TFTとを図示することにする。

【0075】図9(A)において、基板201にはバリウムホウケイ酸ガラス基板やアルミノホウケイ酸ガラス基板を用いる。本実施例ではアルミノホウケイ酸ガラス基板を用いた。この基板201のTFTを形成する表面に下地膜202を形成する。下地膜202は、基板201からのアルカリ金属元素をはじめとする不純物拡散を防ぐために、プラズマCVD法でSiH₄、N₂O、NH₃から作製される塗酸化シリコン膜202aを50nmの厚さに形成した。さらにその上に、半導体層との界面を良好に保つために、表1で記載した#1884の作製条件に従い、SiH₄、N₂O、H₂から作製される塗酸化水素化シリコン膜202bを100nmを積層させて下地膜202とする。

【0076】次に、25～80nm(好ましくは30～60nm)の厚さで非晶質構造を有する半導体層203aを、プラズマCVD法やスパッタ法などの公知の方法で形成する。本実施例では、プラズマCVD法で非晶質シリコン膜を55nmの厚さに形成した。また、下地膜202と非晶質構造を有する半導体層203aとは同じ成膜法で形成することができるるので、両者を連続形成しても良い。下地膜202を形成した後、一旦大気雰囲気に晒さないことでその表面の汚染を防ぐことが可能となり、作製するTFTの特性バラツキやしきい値電圧の変動を低減させることができる(図9(A))。

【0077】そして、公知の結晶化技術を使用して非晶質構造を有する半導体層203aから結晶質半導体層203bを形成する。ここでは、非晶質構造を有する半導体層203aに非晶質シリコン膜を用いたので、この膜から結晶質シリコン膜を形成する。その方法は、レーザーニール法や熱ニール法(固相成長法)を適用すれば良いが、ここでは実施例2で述べた特開平7-130652号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質半導体層203bを形成した。まず、重量換算で10ppmの触媒元素を含む水溶液をスピンドルコート法で塗布して触媒元素を含有する層を形成した(図示せず)。触媒元素にはニッケル(Ni)、ゲルマニウム(Ge)、鉄(Fe)、パラジウム(Pd)、

スズ(Sn)、鉛(Pb)、コバルト(Co)、白金(Plt)、銅(Cu)、金(Au)などである。結晶化の工程では、まず400~500°Cで1時間程度の熱処理を行い、非晶質シリコン膜の含有水素量を5 atomic%以下にする。そして、ファーネスアニール炉を用い、窒素雰囲気中で550~600°Cで1~8時間の熱アニールを行う。以上の工程までで結晶質シリコン膜を得ることができる。この状態で表面に残存する触媒元素の濃度は $3 \times 10^{10} \sim 2 \times 10^{11} \text{ atoms/cm}^2$ であった。その後、結晶化率を高めるためにレーザーアニール法を併用しても良い。例えば、XeClエキシマレーザー(波長308nm)を用い、光学系で線状ビームを形成して、発振周波数5~50Hz、エネルギー密度100~500mJ/cm²として線状ビームのオーバーラップ割合を80~98%として照射する。このようにして、結晶性半導体層203bを得る(図9(B))。

【0078】そして、結晶質半導体層203bをエッチング処理して島状に分割し、島状半導体層204~207を形成し活性層とする。その後、プラズマCVD法や減圧CVD法、またはスパッタ法により50~100nmの厚さの酸化シリコン膜によるマスク層208を形成する。例えば、減圧CVD法でSiH₄とO₂との混合ガスを用い、266Paにおいて400°Cに加熱して酸化シリコン膜を形成する(図9(C))。

【0079】そしてチャネルドープ工程を行う。まず、フォトレジストマスク209を設け、nチャネル型TFTを形成する島状半導体層205~207の全面にしきい値電圧を制御する目的で $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^2$ 程度の濃度でP型を付与する不純物元素としてボロン(B)を添加した。ボロン(B)の添加はイオンドープ法で実施しても良いし、非晶質シリコン膜を成膜するときに同時に添加しておくこともできる。ここでボロン(B)添加は必ずしも必要でないが、ボロン(B)を添加した半導体層210~212はnチャネル型TFTのしきい値電圧を所定の範囲内に収めるために形成することが好ましかった。このチャネルドープ工程は、実施例2または実施例3で示した方法で行っても良い(図9(D))。

【0080】駆動回路のnチャネル型TFTのLDD領域を形成するために、n型を付与する不純物元素を島状半導体層210、211に選択的に添加する。そのため、あらかじめフォトレジストマスク213~216を形成した。ここではリン(P)を添加すべく、フォスフリン(PH₃)を用いたイオンドープ法を適用した。形成されたn⁻不純物領域217、218のリン(P)濃度は $1 \times 10^{17} \sim 5 \times 10^{17} \text{ atoms/cm}^2$ のとする。また、不純物領域219は、画素部の保持容量を形成するための半導体層であり、この領域にも同じ濃度でリン(P)を添加した。(図10(A))

【0081】次に、マスク層208をフッ酸などにより

除去して、図9(D)と図10(A)の工程で添加した不純物元素を活性化させる工程を行う。活性化は、窒素雰囲気中で500~600°Cで1~4時間の熱アニールや、レーザーアニールの方法により行うことができる。また、両者を併用しても良い。本実施例では、レーザー活性化の方法を用い、KrFエキシマレーザー光(波長248nm)を用い、線状ビームを形成して、発振周波数5~50Hz、エネルギー密度100~500mJ/cm²として線状ビームのオーバーラップ割合を80~98%として走査して、島状半導体層が形成された基板全面を処理した。尚、レーザー光の照射条件には何ら限定される事項はなく、実施者が適宜決定すれば良い。

【0082】そして、ゲート絶縁膜220をプラズマCVD法を用いて40~150nmの厚さで形成する。ここでは、多室分離型のプラズマCVD装置を用い、ゲート絶縁膜を形成する同じ反応室内で、或いはプラズマクリーニング用の専用の反応室内で、ゲート絶縁膜の成膜に先立って、島状半導体層が形成された基板に対しプラズマクリーニング処理を行う。プラズマクリーニング処理は、水素を338Pa·1/sec導入し、圧力20Pa、高周波電力0.2W/cm²でプラズマを生成して2分間処理する。或いは、水素を169Pa·1/secと酸素を169Pa·1/sec導入して、圧力40Paで同様にプラズマを生成して処理しても良い。基板温度は300~500°C、好ましくは400°Cとする。この段階で、島状半導体層204、210~212の表面をプラズマクリーニング処理することで、吸着しているボロンやリン、および有機物などの汚染物質をとり除き、表面に水素を吸着させ不活性化させる。また、酸素やN₂Oを同時に導入することにより、被堆積表面の最表面およびその近傍を酸化させ、ゲート絶縁膜との界面準位密度を低減させるなどの好ましい作用がある。ゲート絶縁膜220は基板201を大気に晒すことなくプラズマクリーニングと連続して行うことが望ましく、酸化窒化水素化シリコン膜202bと同様に、SiH₄を8.4Pa·1/sec、N₂Oを203Pa·1/sec、H₂を211Pa·1/secの割合で反応室に導入し、基板温度400°C、反応圧力20Pa、放電電力密度0.41W/cm²、放電周波数60MHzとして形成する(図10(B))。

【0083】次に、ゲート電極を形成するために第1の導電層を成膜する。本実施例では導電性の窒化物金属膜から成る導電層(A)221と金属膜から成る導電層(B)222とを積層させた。ここでは、Taをターゲットとしたスパッタ法で導電層(B)222をタンタル(Ta)で250nmの厚さに形成し、導電層(A)221は窒化タンタル(TaN)で50nmの厚さに形成した(図10(C))。

【0084】次に、フォトレジストマスク223~227を形成し、導電層(A)221と導電層(B)222とを一括でエッチングしてゲート電極228~231と

容量配線232を形成する。ゲート電極228～231と容量配線232は、導電層（A）から成る228a～232aと、導電層（B）から成る228b～232bとが一体として形成されている。この時、駆動回路に形成するゲート電極229、230は不純物領域217、218の一部と、ゲート絶縁膜220を介して重なるよう形成する（図10（D））。

【0085】次いで、駆動回路のpチャネル型TFTのソース領域およびドレイン領域を形成するために、p型を付与する不純物元素を添加する工程を行う。ここでは、ゲート電極228をマスクとして、自己整合的に不純物領域を形成する。nチャネル型TFTが形成される領域はフォトレジストマスク233で被覆しておく。そして、ジボラン（ B_2H_6 ）を用いたイオンドープ法でp不純物領域234を $1 \times 10^{21} \text{atoms/cm}^3$ の濃度で形成した（図11（A））。

【0086】次に、nチャネル型TFTにおいて、ソース領域またはドレイン領域として機能する不純物領域の形成を行った。レジストのマスク235～237を形成し、n型を付与する不純物元素が添加して不純物領域238～242を形成した。これは、 fosfphin（PH₃）を用いたイオンドープ法で行い、n⁺不純物領域238～242の（P）濃度を $5 \times 10^{20} \text{atoms/cm}^3$ とした。不純物領域238には、既に前工程で添加されたボロン（B）が含まれているが、それに比して1/2～1/3の濃度でリン（P）が添加されるので、添加されたリン（P）の影響は考えなくても良く、TFTの特性に何ら影響を与えることはなかった（図11（B））。

【0087】そして、画素部のnチャネル型TFTのLDD領域を形成するために、n型を付与する不純物添加の工程を行った。ここではゲート電極231をマスクとして自己整合的にn型を付与する不純物元素をイオンドープ法で添加した。添加するリン（P）の濃度は $5 \times 10^{16} \text{atoms/cm}^3$ とし、図10（A）および図11（A）と図11（B）で添加する不純物元素の濃度よりも低濃度で添加することで、実質的にはn⁻不純物領域243、244のみが形成される。（図11（C））

【0088】その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために熱処理工程を行う。この工程はファーネスアニール炉を用いた熱アニール法、レーザーアニール法、またはラピッドサーマルアニール法（RTA法）で行うことができる。ここではファーネスアニール法で活性化工程を行った。熱処理は酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700°C、代表的には500～600°Cで行うものであり、本実施例では550°Cで4時間の熱処理を行った。

【0089】この熱アニールにおいて、ゲート電極228～231と容量配線232を形成するTa膜228b～232bは、表面から5～80nmの厚さでTaNから

成る導電層（C）228c～232cが形成される。その他に導電層（B）228b～232bがタンクステン（W）の場合には窒化タンクステン（WN）が形成され、チタン（Ti）の場合には窒化チタン（TiN）を形成することができる。また、窒素またはアンモニアなどを用いた窒素を含むプラズマ雰囲気にゲート電極228～231を晒しても同様に形成することができる。さらに、3～100%の水素を含む雰囲気中で、300～500°Cで1～12時間の熱アニールを行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0090】本実施例のように、島状半導体層を非晶質シリコン膜から触媒元素を用いる結晶化の方法で作製した場合、島状半導体層中には微量（ 1×10^{17} ～ $1 \times 10^{19} \text{atoms/cm}^3$ 程度）の触媒元素が残留した。勿論、そのような状態でもTFTを完成させることができると、残留する触媒元素を少なくともチャネル形成領域から除去する方がより好ましかった。この触媒元素を除去する手段の一つにリン（P）によるゲッタリング作用を利用する手段があった。ゲッタリングに必要なリン（P）の濃度は図11（B）で形成したn⁺不純物領域と同程度であれば良く、ここで実施される活性化工程の熱アニールにより、nチャネル型TFTおよびpチャネル型TFTのチャネル形成領域から触媒元素を不純物領域238～242に偏析させゲッタリングをすることができた。その結果不純物領域238～242には 1×10^{17} ～ $1 \times 10^{19} \text{atoms/cm}^3$ 程度の触媒元素が偏析した（図11（D））。

【0091】図14（A）および図15（A）はここまで実施例におけるTFTの上面図であり、A-A'断面およびC-C'断面は図11（D）のA-A'およびC-C'に対応している。また、B-B'断面およびD-D'断面は図16（A）および図17（A）の断面図に対応している。図14および図15の上面図はゲート絶縁膜を省略しているが、ここまで実施例では少なくとも島状半導体層204～207上にゲート電極228～231と容量配線232が図に示すように形成されている。

【0092】活性化および水素化の工程が終了したら、ゲート配線とする第2の導電層を形成する。この第2の導電層は低抵抗材料であるアルミニウム（Al）や銅（Cu）を主成分とする導電層（D）で形成する。いずれにしても、第2の導電層の抵抗率は0.1～10μΩ cm程度とする。さらに、チタン（Ti）やタンタル（Ta）、タンクステン（W）、モリブデン（Mo）から成る導電層（E）を積層形成すると良い。本実施例では、チタン（Ti）を0.1～2重量%含むアルミニウム（Al）膜を導電層（D）245とし、チタン（Ti）

膜を導電層(E)246として形成した。導電層(D)245は200~400nm(好ましくは250~350nm)とすれば良く、導電層(E)246は50~200(好ましくは100~150nm)で形成すれば良い(図12(A))。

【0093】そして、ゲート電極に接続するゲート配線を形成するために導電層(E)246と導電層(D)245とをエッチング処理して、ゲート配線247、248と容量配線249を形成した。エッチング処理は最初にSiC₁₄とC₁₂とBC₁₃との混合ガスを用いたドライエッチング法で導電層(E)の表面から導電層(D)の途中まで除去し、その後リン酸系のエッチング溶液によるウエットエッチングで導電層(D)を除去することにより、下地との選択加工性を保ってゲート配線を形成することができた。

【0094】図14(B)および図15(B)はこの状態の上面図を示し、A-A'断面およびC-C'断面は図12(B)のA-A'およびC-C'に対応している。また、B-B'断面およびD-D'断面は図16(B)および図17(B)のB-B'およびD-D'に対応している。図14(B)および図15(B)において、ゲート配線247、248の一部は、ゲート電極228、229、231の一部と重なり電気的に接触している。この様子はB-B'断面およびD-D'断面に対応した図16(B)および図17(B)の断面構造図からも明らかで、第1の導電層を形成する導電層(C)と第2の導電層を形成する導電層(D)とが電気的に接触している。

【0095】第1の層間絶縁膜250は500~1500nmの厚さとして表1で示す#1883または#1884の条件で酸化窒化水素化シリコン膜を成膜して層間絶縁層210を形成する。ここでは、酸化窒化水素化シリコン膜をSiH₄を8.4Pa·l/sec、N₂Oを203Pa·l/sec、H₂を844Pa·l/sec導入して反応圧力40Pa、基板温度400°Cとし、放電電力密度を0.4W/cm²として1000nmの厚さで形成する。その後、それぞれの島状半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成し、ソース配線251~254と、ドレイン配線255~258を形成する。図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とした。

【0096】次に、パッシベーション膜259として、窒化シリコン膜、酸化シリコン膜、または酸化窒化シリコン膜を50~500nm(代表的には100~300nm)の厚さで形成する。いずれにしてもパッシベーション膜は緻密な膜となるように形成して外部からの水分を遮断したり、また、この後行う2回目の水素化の工程においてキャップ層としての機能を附加させておく。例えば、パッシベーション膜259を緻密な窒化シリコン膜

で200nmの厚さに形成し、この状態で水素化処理を行うとTFTの特性向上に対して好ましい結果が得られる。これは、3~100%の水素を含む雰囲気中、或いは窒素雰囲気中で、300~500°Cで1~12時間の熱処理を行うと良い。このような温度で熱処理を行うと、第1の層間絶縁膜250やゲート絶縁膜220を形成する酸化窒化水素化シリコン膜の含有水素が放出される。しかし、上層側には緻密な窒化シリコン膜でキャップされているので水素の拡散が制限されるので、放出される水素は下層側に優先的に拡散する。そして、第1の層間絶縁膜250からその下層にあるゲート絶縁膜220へ、ゲート絶縁膜220から島状半導体層204、210~212へと拡散して水素化が進行する。同様に、下地膜202に用いた酸化窒化水素化シリコン膜からも水素が放出されるので、島状半導体層は上層側および下層側の両側より水素化される。勿論、水素化処理はこのような方法の他に、前述の窒化シリコン膜を成膜する前に行うあるいはプラズマ水素化法を用いても同様の効果が得られる。さらに、このプラズマ水素化と、上述の水素化を併用しても良い。なお、ここで後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜259に開口部を形成しておいても良い。(図12(C))

【0097】図14(C)および図15(C)のはこの状態の上面図を示し、A-A'断面およびC-C'断面は図12(C)のA-A'およびC-C'に対応している。また、B-B'断面およびD-D'断面は図16(C)および図17(C)のB-B'およびD-D'に対応している。図14(C)と図15(C)では第1の層間絶縁膜を省略して示すが、島状半導体層204、205、207の図示されていないソースおよびドレイン領域にソース配線251、252、254とドレイン配線255、256、258が第1の層間絶縁膜に形成されたコンタクトホールを介して接続している。

【0098】その後、有機樹脂からなる第2の層間絶縁膜260を1.0~1.5μmの厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等を使用することができる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300°Cで焼成して形成した。そして、第2の層間絶縁膜260にドレイン配線258に達するコンタクトホールを形成し、画素電極261、262を形成する。画素電極は、透過型液晶表示装置とする場合には透明導電膜を用いれば良く、反射型の液晶表示装置とする場合には金属膜を用いれば良い。本実施例では透過型の液晶表示装置とするために、酸化インジウム・スズ(ITO)膜を100nmの厚さにスパッタ法で形成した。(図13)

【0099】こうして同一基板上に、駆動回路のTFTと画素部の画素TFTとを有した基板を完成させること

ができた。駆動回路にはpチャネル型TFT301、第1のnチャネル型TFT302、第2のnチャネル型TFT303、画素部には画素TFT304、保持容量305が形成した。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0100】駆動回路のpチャネル型TFT301には、島状半導体層204にチャネル形成領域306、ソース領域307a、307b、ドレイン領域308a、308bを有している。第1のnチャネル型TFT302には、島状半導体層205にチャネル形成領域309、ゲート電極229と重なるLDD領域(Lov)310、ソース領域311、ドレイン領域312を有している。このLov領域のチャネル長方向の長さは0.5~3.0μm、好ましくは1.0~1.5μmとした。第2のnチャネル型TFT303には、島状半導体層206にチャネル形成領域313、Lov領域とLoff領域(ゲート電極と重ならないLDD領域であり、以降Loff領域と記す)とが形成され、このLoff領域のチャネル長方向の長さは0.3~2.0μm、好ましくは0.5~1.5μmである。画素TFT304には、島状半導体層207にチャネル形成領域318、319、Loff領域320~323、ソースまたはドレイン領域324~326を有している。Loff領域のチャネル長方向の長さは0.5~3.0μm、好ましくは1.5~2.5μmである。さらに、容量配線232、249と、ゲート絶縁膜と同じ材料から成る絶縁膜と、画素TFT304のドレイン領域326に接続し、n型を付与する不純物元素が添加された半導体層327とから保持容量305が形成されている。図13では画素TFT304をダブルゲート構造としたが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【0101】以上のように本発明は、TFTを形成する下地膜、ゲート絶縁膜、層間絶縁膜などの絶縁膜に、SiH₄、N₂O、H₂の混合ガスから作製される酸化窒化水素化シリコン膜を用いることに特徴がある。この酸化窒化水素化シリコン膜は中性欠陥や荷電欠陥などの欠陥準位密度が低く、また、半導体層との界面において界面準位密度も低い。その結果、作製されるTFTの特性はnチャネル型TFTでは、S値を0.10V/dec以上0.30V/dec以下、V_{th}を0.5V以上2.5V以下、電界効果移動度は120cm²/V·sec以上250cm²/V·sec以下とすることができる。また、pチャネル型TFTでは、S値を0.10V/dec以上0.30V/dec以下、V_{th}を-2.5V以上-0.5V以下、電界効果移動度は80cm²/V·sec以上150cm²/V·sec以下とすることができる。その結果、駆動電圧を低くすることができ消費電力を低くすることができる。このようなアクティブマトリクス基板で高品質な表示装置を実現することができる。

【0102】【実施例5】本実施例では、実施例4で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図19に示すように、図13の状態のアクティブマトリクス基板に対し、配向膜601を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。対向側の対向基板602には、遮光膜603、透明導電膜604および配向膜605を形成した。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。そして、画素部と、CMOS回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材やスペーサー(共に図示せず)などを介して貼りあわせる。その後、両基板の間に液晶材料606を注入し、封止剤(図示せず)によって完全に封止した。液晶材料には公知の液晶材料を用いれば良い。このようにして図19に示すアクティブマトリクス型液晶表示装置が完成する。

【0103】次に、このアクティブマトリクス型液晶表示装置の構成を、図20の斜視図および図21の上面図を用いて説明する。尚、図20と図21は、図9~図13と図19の断面構造図と対応付けるため、共通の符号を用いている。また、図21で示すE-E'に沿った断面構造は、図13に示す画素マトリクス回路の断面図に対応している。

【0104】図20においてアクティブマトリクス基板は、ガラス基板201上に形成された、画素部406と、走査信号駆動回路404と、画像信号駆動回路405で構成される。表示領域には画素TFT304が設けられ、周辺に設けられる駆動回路はCMOS回路を基本として構成されている。走査信号駆動回路404と、画像信号駆動回路405はそれぞれゲート配線248とソース配線254で画素TFT304に接続している。また、FPC(Flexible Print Circuit)731が外部入力端子734に接続され、入力配線402、403でそれぞれの駆動回路に接続している。

【0105】図21は表示領域406のほぼ一画素分を示す上面図である。ゲート配線248は、図示されていないゲート絶縁膜を介してその下の半導体層212と交差している。図示はしていないが、半導体層には、ソース領域、ドレイン領域、n⁻領域でなるLoff領域が形成されている。また、263はソース配線254とソース領域324とのコンタクト部、264はドレイン配線258とドレイン領域326とのコンタクト部、265はドレイン配線258と画素電極261のコンタクト部である。保持容量305は、画素TFT304のドレイン領域326から延在する半導体層327とゲート絶縁膜を介して容量配線232、249が重なる領域で形成されている。

【0106】なお、本実施例のアクティブマトリクス型

液晶表示装置は、実施例4で説明した構造と照らし合わせて説明したが、実施例4の構成に限定されるものではなく、実施例3で示した構成を実施例4に応用して完成させたアクティブマトリクス基板を用いても良い。いずれにしても、本発明の酸化窒化水素化シリコン膜による絶縁膜を用いたTFTにより完成したアクティブマトリクス基板であれば、TFTの構造や回路配置などは設計上の課題として実施者が適宜設定すれば良い。

【0107】[実施例6] 図18は液晶表示装置の入出力端子、表示領域、駆動回路の配置の一例を示す図である。画素部406にはm本のゲート配線とn本のソース配線がマトリクス状に交差している。例えば、画素密度がVGAの場合、480本のゲート配線407と640本のソース配線408が形成され、XGAの場合には768本のゲート配線407と1024本のソース配線408が形成される。表示領域の画面サイズは、13インチクラスの場合対角線の長さは340mmとなり、18インチクラスの場合には460mmとなる。このような液晶表示装置を実現するには、ゲート配線を実施例3で示したような低抵抗材料で形成する必要がある。ゲート配線の時定数(抵抗×容量)が大きくなると走査信号の応答速度が遅くなり、液晶を高速で駆動できなくなる。例えば、ゲート配線を形成する材料の比抵抗が $100\mu\Omega\text{cm}$ である場合には6インチクラスの画面サイズがほぼ限界となるが、 $3\mu\Omega\text{cm}$ である場合には27インチクラスの画面サイズまで対応できる。

【0108】表示領域406の周辺には走査信号駆動回路404と画像信号駆動回路405が設けられている。これらの駆動回路のゲート配線の長さも表示領域の画面サイズの大型化と共に必然的に長くなるので、大画面を実現するためには実施例4で示したようなアルミニウム(A1)や銅(Cu)などの低抵抗材料でゲート配線を形成することが好ましい。また、本発明は入力端子401から各駆動回路までを接続する入力配線402、403をゲート配線と同じ材料で形成することができ、配線抵抗の低抵抗化に寄与することができる。

【0109】一方、表示領域の画面サイズが2インチクラスの場合には、対角線の長さが45mm程度となり、TFTを作製すると周辺に設ける駆動回路を含めても $50\times 50\text{mm}^2$ 以内に収まる。このような場合には、実施例4で示したような低抵抗材料でゲート配線を形成することは必ずしも必要でなく、TaやWなどのゲート電極を形成する材料と同じ材料でゲート配線を形成することも可能である。

【0110】このような構成の液晶表示装置は、実施例4で完成させたアクティブマトリクス基板を用いて完成させることができる。また、実施例3で示した構成を実施例4に応用しても実施することができる。ここで示した回路配置のレイアウトは一例であり、走査信号駆動回路404を表示領域406の両側に設けても良い。いず

れにしても、本発明の酸化窒化水素化シリコン膜による絶縁膜を用いたTFTで完成したアクティブマトリクス基板であれば、TFTの構造や回路配置などは設計上の課題として実施者が適宜設定すれば良い。

【0111】[実施例7] 実施例1~4では、TFTの活性層を非晶質半導体膜をレーザーアニール法や熱アニール法で結晶化させた結晶質半導体膜を用いる例を示した。しかし、活性層を非晶質シリコン膜に代表される非晶質半導体膜で代用して、本発明の酸化窒化水素化シリコン膜を下地膜やゲート絶縁膜、または層間絶縁膜に適用することも可能である。

【0112】[実施例8] 本実施例では、本発明をアクティブマトリクス型有機EL表示装置(有機EL)に適用した例を図22で説明する。図22(A)はガラス基板上に表示領域とその周辺に駆動回路を設けたアクティブマトリクス型有機EL表示装置の回路図を示す。この有機EL表示装置は、基板上に設けられた表示領域2211、X方向周辺駆動回路2212、Y方向周辺駆動回路2213から成る。この表示領域2211は、スイッチ用TFT2230、保持容量2232、電流制御用TFT2231、有機EL素子333、X方向信号線2218a、2218b、電源線2219a、2219b、Y方向信号線2220a、2220b、2220cなどにより構成される。

【0113】図22(B)はほぼ一画素分の上面図を示している。スイッチ用TFT2230は図13に示すpチャネル型TFT301と同様にして形成し、電流制御用TFT2231はnチャネル型TFT303と同様にして形成すると良い。

【0114】ところで、TFTの上方に向かって光を発光させる動作モードの有機EL表示装置の場合、画素電極をA1などの反射性の電極で形成することになる。ここでは、有機EL表示装置の画素領域の構成について示したが、実施例1と同様に画素領域の周辺に駆動回路を設けた周辺回路一体型のアクティブマトリクス型表示装置とすることができる。そして、図示しないがカラーフィルターを設ければカラー表示をすることも可能である。いずれにしても、実施形態1で示した下地層を設けたアクティブマトリクス基板であれば自由に組み合わせてアクティブマトリクス型有機EL表示装置を作製することができる。

【0115】[実施例9] 本発明を実施して作製されたアクティブマトリクス基板および液晶表示装置並びにEL型表示装置は様々な電気光学装置に用いることができる。そして、そのような電気光学装置を表示媒体として組み込んだ電子機器全てに本発明を適用することができる。電子機器としては、パーソナルコンピュータ、デジタルカメラ、ビデオカメラ、携帯情報端末(モバイルコンピュータ、携帯電話、電子書籍など)、ナビゲーシ

ョンシステムなどが上げられる。それらの一例を図23に示す。

【0116】図23(A)はパーソナルコンピュータであり、マイクロプロセッサやメモリーなどを備えた本体2001、画像入力部2002、表示装置2003、キーボード2004で構成される。本発明の液晶表示装置や有機EL表示装置は表示装置2003に適用できる。

【0117】図23(B)はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本発明液晶表示装置や有機EL表示装置は表示装置2102に適用することができる。

【0118】図23(C)は携帯情報端末であり、本体2201、画像入力部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本発明液晶表示装置や有機EL表示装置は表示装置2205に適用することができる。

【0119】図23(D)はテレビゲームまたはビデオゲームなどの電子遊戯機器であり、CPU等の電子回路2308、記録媒体2304などが搭載された本体2301、コントローラ2305、表示装置2303、本体2301に組み込まれた表示装置2302で構成される。表示装置2303と本体2301に組み込まれた表示装置2302とは、同じ情報を表示しても良いし、前者を主表示装置とし、後者を副表示装置として記録媒体2304の情報を表示したり、機器の動作状態を表示したり、或いはタッチセンサーの機能を付加して操作盤とすることもできる。また、本体2301とコントローラ2305と表示装置2303とは、相互に信号を伝達するために有線通信としても良いし、センサ部2306、2307を設けて無線通信または光通信としても良い。本発明液晶表示装置や有機EL表示装置は表示装置2302、2303に適用することができる。表示装置2303は従来のCRTを用いることもできる。

【0120】図23(E)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体2901、表示装置2902、スピーカー部2903、記録媒体2904、操作スイッチ2905で構成される。尚、記録媒体にはDVD(Digital Versatile Disc)やコンパクトディスク(CD)などを用い、音楽プログラムの再生や映像表示、ビデオゲーム(またはテレビゲーム)やインターネットを介した情報表示などを行うことができる。本発明液晶表示装置や有機EL表示装置は表示装置2902に好適に利用することができる。

【0121】図23(F)はデジタルカメラであり、本体2501、表示装置2502、接眼部2503、操作スイッチ2504、受像部(図示しない)で構成される。本発明液晶表示装置や有機EL表示装置は表示装置2502に適用することができる。

【0122】図24(A)はフロント型プロジェクターであり、光源光学系および表示装置2601、スクリーン2602で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。図24(B)はリア型プロジェクターであり、本体2701、光源光学系および表示装置2702、ミラー2703、スクリーン2704で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。

【0123】なお、図24(C)に、図24(A)および図24(B)における光源光学系および表示装置2601、2702の構造の一例を示す。光源光学系および表示装置2601、2702は光源光学系2801、ミラー2802、2804~2806、ダイクロイックミラー2803、ビームスプリッター2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は複数の光学レンズで構成される。図24(C)では液晶表示装置2808を三つ使用する三板式の例を示したが、このような方式に限定されず、単板式の光学系で構成しても良い。また、図24(C)中で矢印で示した光路には適宜光学レンズや偏光機能を有するフィルムや位相を調節するためのフィルムや、IRフィルムなどを設けても良い。また、図24(D)は図24(C)における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801はリフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。尚、図24(D)に示した光源光学系は一例であって図示した構成に限定されるものではない。

【0124】また、ここでは図示しなかったが、本発明はその他にも、ナビゲーションシステムやイメージセンサの読み取り回路などに適用することも可能である。このように本願発明の適用範囲はきわめて広く、あらゆる分野の電子機器に適用することができる。また、本実施例の電子機器は実施形態1~3の結晶化技術を用い、実施例1~6のどのような組み合わせから成る構成を用いても実現することができる。

【0125】[実施例10]本実施例では、アクティブマトリクス基板からエレクトロルミネッセンス(EL:Electro Luminescence)材料を用いた自発光型の表示パネル(以下、EL表示装置と記す)を作製する例について説明する。図25(A)はそのEL表示パネルの上面図を示す。図25(A)において、10は基板、11は画素部、12はソース側駆動回路、13はゲート側駆動回路であり、それぞれの駆動回路は配線14~16を経てFPC17に至り、外部機器へと接続される。

【0126】図25(A)のA-A'線に対応する断面図を図25(B)に示す。このとき少なくとも画素部の上方、好ましくは駆動回路及び画素部の上方に対向板80を設ける。対向板80はシール材19でTFTとEL

材料を用いた自発光層が形成されているアクティブマトリクス基板と貼り合わされている。シール剤19にはフィラー(図示せず)が混入されていて、このフィラーによりほぼ均一な間隔を持って2枚の基板が貼り合わせられている。さらに、シール材19の外側とFPC17の上面及び周辺は封止剤81で密封する構造とする。封止剤81はシリコーン樹脂、エポキシ樹脂、フェノール樹脂、ブチルゴムなどの材料を用いる。

【0127】このように、シール材19によりアクティブマトリクス基板10と対向基板80とが貼り合わされると、その間には空間が形成される。その空間には充填剤83が充填される。この充填剤83は対向板80を接着する効果も合わせ持つ。充填剤83はPVC(ポリビニルクロライド)、エポキシ樹脂、シリコーン樹脂、PV(B(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)などを用いることができる。また、自発光層は水分をはじめ湿気に弱く劣化しやすいので、この充填剤83の内部に酸化バリウムなどの乾燥剤を混入させておくと吸湿効果を保持できるので望ましい。また、自発光層上に塗化シリコン膜や酸化塗化シリコン膜などで形成するパッシバーション膜82を形成し、充填剤83に含まれるアルカリ元素などによる腐蝕を防ぐ構造としている。

【0128】対向板80にはガラス板、アルミニウム板、ステンレス板、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、マイラーフィルム(デュポン社の商品名)、ポリエスチルフィルム、アクリルフィルムまたはアクリル板などを用いることができる。また、数十 μm のアルミニウム箔をPVFフィルムやマイラーフィルムで挟んだ構造のシートを用い、耐湿性を高めることもできる。このようにして、EL素子は密閉された状態となり外気から遮断されている。

【0129】また、図25(B)において基板10、下地膜21の上に駆動回路用TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを組み合わせたCMOS回路を図示している。)22及び画素部用TFT23(但し、ここではEL素子への電流を制御するTFTだけ図示している。)が形成されている。これらのTFTの内、特にnチャネル型TFTにはホットキャリア効果によるオン電流の低下や、V_{th}シフトやバイアストレスによる特性低下を防ぐため、本実施形態で示す構成のLDD領域が設けられている。

【0130】例えば、駆動回路用TFT22として、図13に示すpチャネル型TFT301とnチャネル型TFT302を用いれば良い。また、画素部のTFTには、駆動電圧にもよるが、10V以上であれば図5に示す第1のnチャネル型TFT204またはそれと同様な構造を有するpチャネル型TFTを用いれば良い。第1のnチャネル型TFT202はドレイン側にゲート電極

とオーバーラップするLDDが設けられた構造であるが、駆動電圧が10V以下であれば、ホットキャリア効果によるTFTの劣化は殆ど無視できるので、あえて設ける必要はない。

【0131】図13の状態のアクティブマトリクス基板からEL表示装置を作製するには、ソース配線、ドレイン配線上に樹脂材料である層間絶縁膜(平坦化膜)26を形成し、その上に画素部用TFT23のドレインと電気的に接続する透明導電膜なる画素電極27を形成する。透明導電膜には酸化インジウムと酸化スズとの化合物(ITOと呼ばれる)または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極27を形成したら、絶縁膜28を形成し、画素電極27上に開口部を形成する。

【0132】次に、自発光層29を形成する。自発光層29は公知のEL材料(正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層)の組合せによる積層構造または単層構造とすれば良い。また、EL材料には低分子系材料と高分子系(ポリマー系)材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンドル法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0133】自発光層はシャドーマスクを用いて蒸着法、またはインクジェット法、ディスペンサー法などで形成する。いずれにしても、画素毎に波長の異なる発光が可能な発光層(赤色発光層、緑色発光層及び青色発光層)を形成することで、カラー表示が可能となる。その他にも、色変換層(CCM)とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光のEL表示装置とすることもできる。

【0134】自発光層29を形成したら、その上に陰極30を形成する。陰極30と自発光層29の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で自発光層29と陰極30を連続して形成するか、自発光層29を不活性雰囲気で形成し、大気解放しないで真空中で陰極30を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。

【0135】なお、本実施例では陰極30として、LiF(フッ化リチウム)膜とAl(アルミニウム)膜の積層構造を用いる。具体的には自発光層29上に蒸着法で1nm厚のLiF(フッ化リチウム)膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極30は31で示される領域において配線16に接続される。配線16は陰極30に所定の電圧を与えるための電源供給線であり、異方性導電性ペースト材料32を

介してFPC17に接続される。FPC17上にはさらに樹脂層80が形成され、この部分の接着強度を高めている。

【0136】31に示された領域において陰極30と配線16とを電気的に接続するために、層間絶縁膜26及び絶縁膜28にコンタクトホールを形成する必要がある。これらは層間絶縁膜26のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜28のエッチング時（自発光層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜28をエッチングする際に、層間絶縁膜26まで一括でエッチングしても良い。この場合、層間絶縁膜26と絶縁膜28が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

【0137】また、配線16はシール材19と基板10との間を隙間（但し封止剤81で塞がれている。）を通してFPC17に電気的に接続される。なお、ここでは配線16について説明したが、他の配線14、15も同様にしてシーリング材19の下を通過してFPC17に電気的に接続される。

【0138】ここで画素部のさらに詳細な断面構造を図26に、上面構造を図27（A）に、回路図を図27（B）に示す。図26（A）において、基板2401上に設けられたスイッチング用TFT2402は図13の画素TFT304と同じ構造で形成する。ダブルゲート構造とすることで実質的に二つのTFTが直列された構造となり、LDDを形成することでオフ電流値を低減することができるという利点がある。尚、本実施例ではダブルゲート構造としているがトリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも良い。

【0139】また、電流制御用TFT2403は図13で示す第1のnチャネル型TFT302を用いて形成する。このTFT構造は、ドレイン側にのみゲート電極とオーバーラップするLDDが設けられた構造であり、ゲートとドレイン間の寄生容量や直列抵抗を低減させて電流駆動能力を高める構造となっている。別な観点からも、構造であることは非常に重要な意味を持つ。電流制御用TFTはEL素子を流れる電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用TFTにゲート電極と一部が重なるLDD領域を設けることでTFTの劣化を防ぎ、動作の安定性を高めることができる。このとき、スイッチング用TFT2402のドレイン線35は配線36によって電流制御用TFTのゲート電極37に電気的に接続されている。また、38で示される配線は、スイッチング用TFT2402のゲート電極39a、39bを電気的に接続するゲート線である。

【0140】また、本実施例では電流制御用TFT2403をシングルゲート構造で図示しているが、複数のT

FETを直列につなげたマルチゲート構造としても良い。さらに、複数のTFTを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0141】また、図27（A）に示すように、電流制御用TFT2403のゲート電極37となる配線は2404で示される領域で、電流制御用TFT2403のドレイン線40と絶縁膜を介して重なる。このとき、2404で示される領域ではコンデンサが形成される。このコンデンサ2404は電流制御用TFT2403のゲートにかかる電圧を保持するためのコンデンサとして機能する。なお、ドレイン線40は電流供給線（電源線）2501に接続され、常に一定の電圧が加えられている。

【0142】スイッチング用TFT2402及び電流制御用TFT2403の上には第1パッシベーション膜41が設けられ、その上に樹脂絶縁膜でなる平坦化膜42が形成される。平坦化膜42を用いてTFTによる段差を平坦化することは非常に重要である。後に形成される自発光層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、自発光層ができるだけ平坦面に形成しうるよう画素電極を形成する前に平坦化しておくことが望ましい。

【0143】また、43は反射性の高い導電膜でなる画素電極（EL素子の陰極）であり、電流制御用TFT2403のドレインに電気的に接続される。画素電極43としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。また、絶縁膜（好ましくは樹脂）で形成されたバンク44a、44bにより形成された溝（画素に相当する）の中に発光層45が形成される。なお、ここでは一画素しか図示していないが、R（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とする有機EL材料としてはπ共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（PPV）系、ポリビニルカルバゾール（PVK）系、ポリフルオレン系などが挙げられる。尚、PPV系有機EL材料としては様々な型のものがあるが、例えば「H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p.33-37」や特開平10-92576号公報に記載されたような材料を用いれば良い。

【0144】具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30～150nm（好ましくは40～100nm）とすれば良い。但し、以

上の例は発光層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせて自発光層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0145】本実施例では発光層45の上にPEDOT（ポリチオフェン）またはPAni（ポリアニリン）でなる正孔注入層46を設けた積層構造の自発光層としている。そして、正孔注入層46の上には透明導電膜である陽極47が設けられる。本実施例の場合、発光層45で生成された光は上面側に向かって（TFTの上方に向かって）放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【0146】陽極47まで形成された時点での自発光素子2405が完成する。なお、ここでいうEL素子2405は、画素電極（陰極）43、発光層45、正孔注入層46及び陽極47で形成されたコンデンサを指す。図27（A）に示すように画素電極43は画素の面積にほぼ一致するため、画素全体がEL素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【0147】ところで、本実施例では、陽極47の上にさらに第2パッシベーション膜48を設けている。第2パッシベーション膜48としては塗化珪素膜または塗化酸化珪素膜が好ましい。この目的は、外部とEL素子とを遮断することであり、有機EL材料の酸化による劣化を防ぐ意味と、有機EL材料からの脱ガスを抑える意味との両方を併せ持つ。これによりEL表示装置の信頼性が高められる。

【0148】以上のように本願発明のEL表示パネルは図27のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用TFTと、ホットキャリア注入に強い電流制御用TFTとを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能なEL表示パネルが得られる。

【0149】図26（B）は自発光層の構造を反転させた例を示す。電流制御用TFT2601は図13のpチャネル型TFT301と同じ構造で形成する。作製プロセスは実施例1を参照すれば良い。本実施例では、画素電極（陽極）50として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を

用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【0150】そして、絶縁膜でなるバンク51a、51bが形成された後、溶液塗布によりポリビニカルバゾールでなる発光層52が形成される。その上にはカリウムアセチルアセトネット（acacKと表記される）である電子注入層53、アルミニウム合金でなる陰極54が形成される。この場合、陰極54がパッシベーション膜としても機能する。こうしてEL素子2602が形成される。本実施例の場合、発光層52で発生した光は、矢印で示されるようにTFTが形成された基板の方に向かって放射される。本実施例のような構造とする場合、電流制御用TFT2601はpチャネル型TFTで形成することが好ましい。

【0151】以上のような、本実施例で示すEL表示装置は、実施例9の電子機器の表示部として用いることができる。

【0152】図27（B）に示した回路図とは異なる構造の画素とした場合の例について図28に示す。なお、本実施例において、2701はスイッチング用TFT2702のソース配線、2703はスイッチング用TFT2702のゲート配線、2704は電流制御用TFT、2705はコンデンサ、2706、2708は電流供給線、2707はEL素子とする。

【0153】図28（A）は、二つの画素間で電流供給線2706を共通とした場合の例である。即ち、二つの画素が電流供給線2706を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0154】また、図28（B）は、電流供給線2708をゲート配線2703と平行に設けた場合の例である。尚、図28（B）では電流供給線2708とゲート配線2703とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線2708とゲート配線2703とで専有面積を共有させることができるために、画素部をさらに高精細化することができる。

【0155】また、図28（C）は、図28（B）の構造と同様に電流供給線2708をゲート配線2703と平行に設け、さらに、二つの画素を電流供給線2708を中心に線対称となるように形成する点に特徴がある。また、電流供給線2708をゲート配線2703のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるので、画素部をさらに高精細化することができる。図28

（A）、図28（B）では電流制御用TFT2403のゲートにかかる電圧を保持するためにコンデンサ2404を設ける構造としているが、コンデンサ2404を省

略することも可能である。

【0156】電流制御用TFT2403として図26(A)に示すような本願発明のnチャネル型TFTを用いているため、ゲート絶縁膜を介してゲート電極と重なるように設けられたLDD領域を有している。この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施例ではこの寄生容量をコンデンサ2404の代わりとして積極的に用いる点に特徴がある。この寄生容量のキャパシタンスは上記ゲート電極とLDD領域とが重なり合った面積で変化するため、その重なり合った領域に含まれるLDD領域の長さによって決まる。また、図28(A)、(B)、(C)の構造においても同様にコンデンサ2705を省略することは可能である。

【0157】尚、本実施形態で示すEL表示装置の回路構成は、実施例1で示すTFTの構成から選択して図28に示す回路を形成すれば良い。また、実施例9の電子機器の表示部として本実施例のEL表示パネルを用いることが可能である。

【0158】

【発明の効果】以上、TFTに代表される半導体装置に適した絶縁膜として本発明によるSiH₄、N₂O、H₂を原料ガスとしてプラズマCVD法で作製される酸化窒化水素化シリコン膜を適用して、ゲート絶縁膜や下地膜、および保護絶縁膜或いは層間絶縁膜に用いることによりV_{th}シフトがなくBTSストレスに対して安定なTFTを作製することができる。また、このような絶縁膜を用いることにより、ガラス基板上にTFTを作製し、液晶表示装置や有機EL表示装置に代表される半導体装置の高品質化を実現することができる。

【図面の簡単な説明】

- 【図1】 TFTの作製工程を示す断面図。
- 【図2】 TFTの作製工程を示す断面図。
- 【図3】 酸化窒化水素化シリコン膜を用いたMOS構造のC-V特性を示す図。
- 【図4】 酸化窒化水素化シリコン膜の赤外分光特性を示す図。
- 【図5】 結晶質半導体膜の作製工程を示す図。
- 【図6】 TFTの作製工程を示す断面図。
- 【図7】 TFTの作製工程を示す断面図。
- 【図8】 TFTの作製工程を示す断面図。

【図9】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図10】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図11】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図12】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図13】 画素TFT、駆動回路のTFTの断面図。

【図14】 駆動回路のTFTの作製工程を示す上面図。

【図15】 画素TFTの作製工程を示す上面図。

【図16】 駆動回路のTFTの作製工程を示す断面図。

【図17】 画素TFTの作製工程を示す断面図。

【図18】 液晶表示装置の入出力端子、配線、回路配置を示す上面図。

【図19】 液晶表示装置の構造を示す断面図。

【図20】 液晶表示装置の構造を示す斜視図。

【図21】 表示領域の画素を示す上面図。

【図22】 アクティブラチクス型有機EL表示装置の構造を示す図。

【図23】 半導体装置の一例を示す図。

【図24】 プロジェクターの一例を示す図。

【図25】 EL表示装置の構造を示す上面図及び断面図。

【図26】 EL表示装置の画素部の断面図。

【図27】 EL表示装置の画素部の上面図と回路図。

【図28】 EL表示装置の画素部の回路図の例。

【符号の説明】

101 基板

102a、102b 酸化窒化シリコン膜

103b 結晶質半導体膜

104、105 島状半導体層

110 ゲート絶縁膜

114、115 ゲート電極

120 層間絶縁層

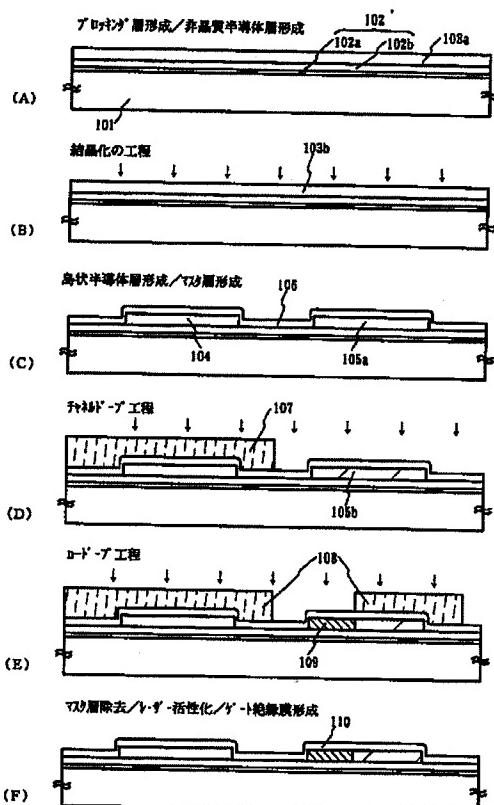
121、124 ソース電極

122、123 ドレイン電極

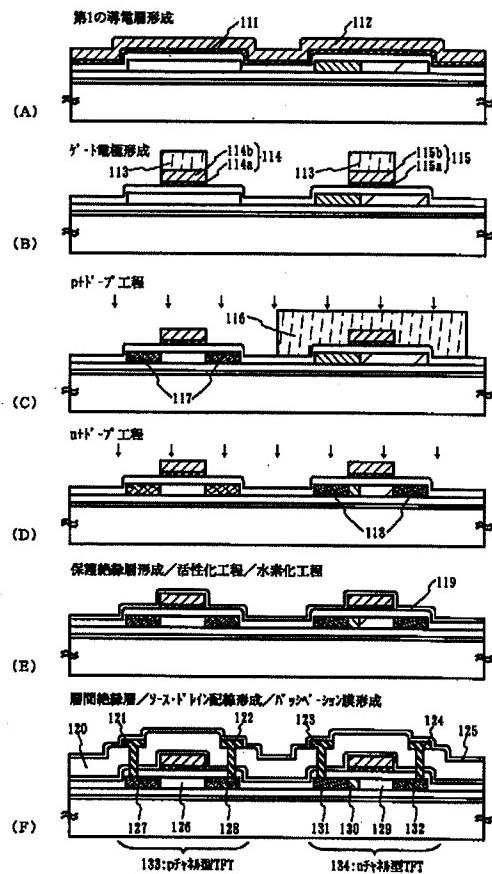
125 パッシベーション膜

(23)月2001-53286 (P2001-5堆%A)

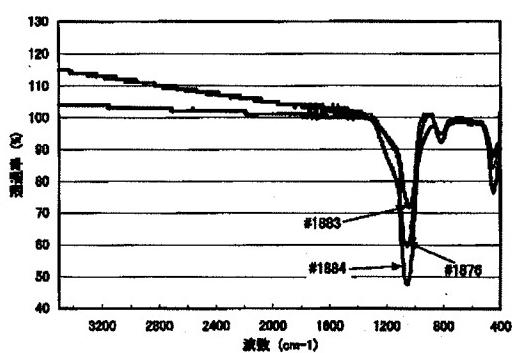
【図1】



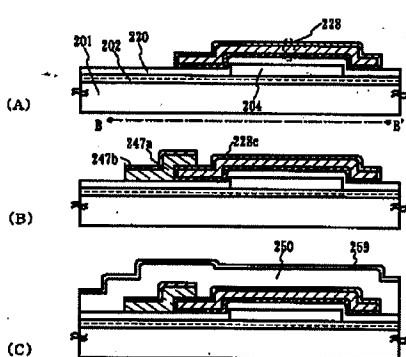
【図2】



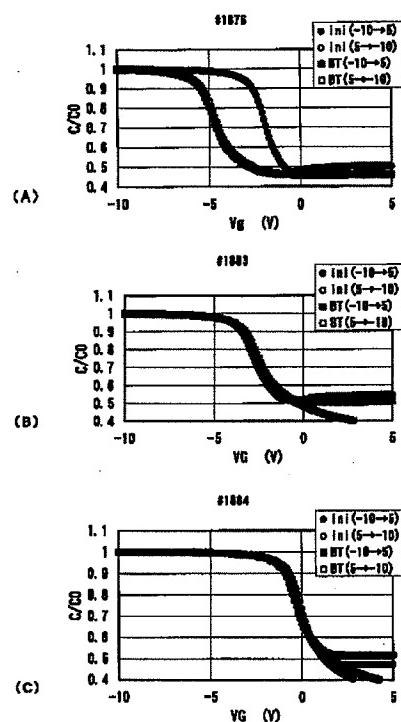
【図4】



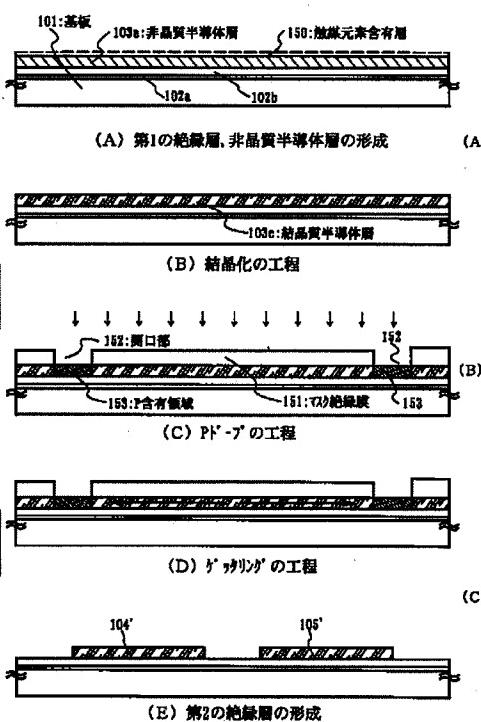
【図16】



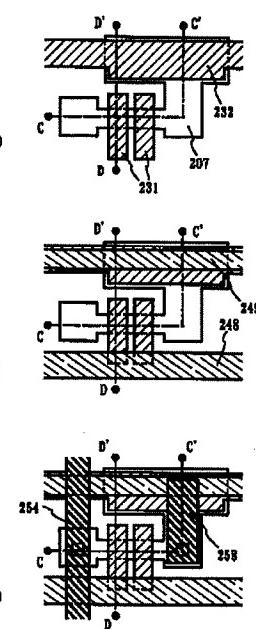
【図3】



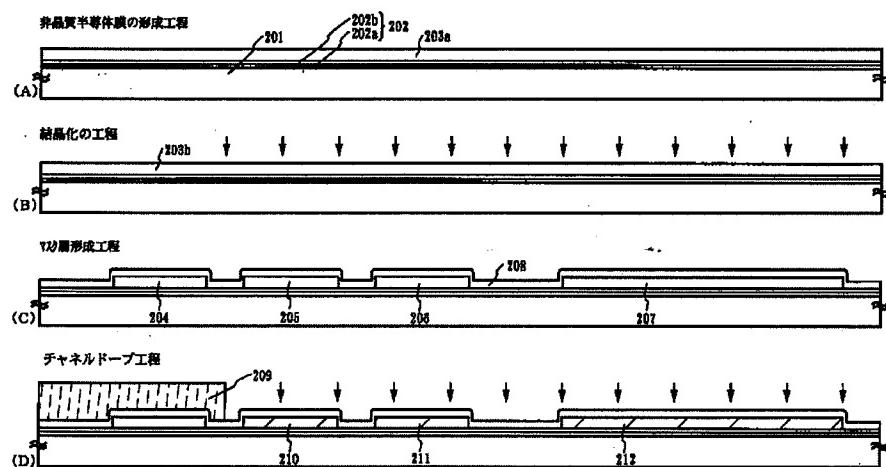
【図5】



【図15】

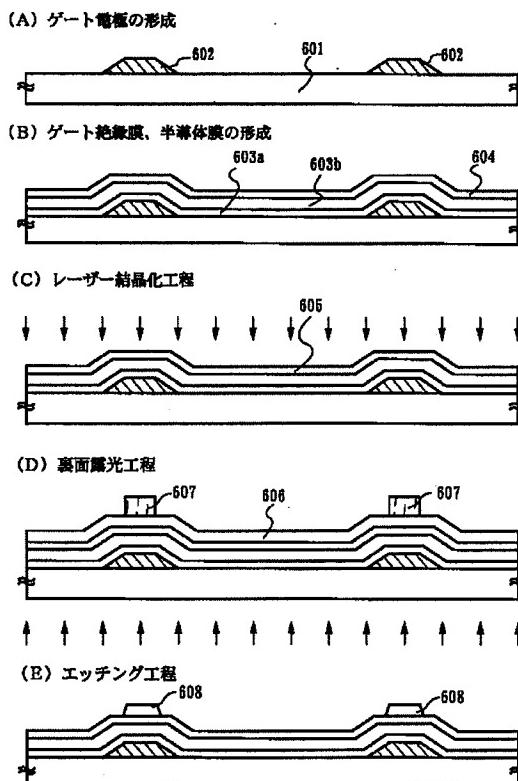


【図9】

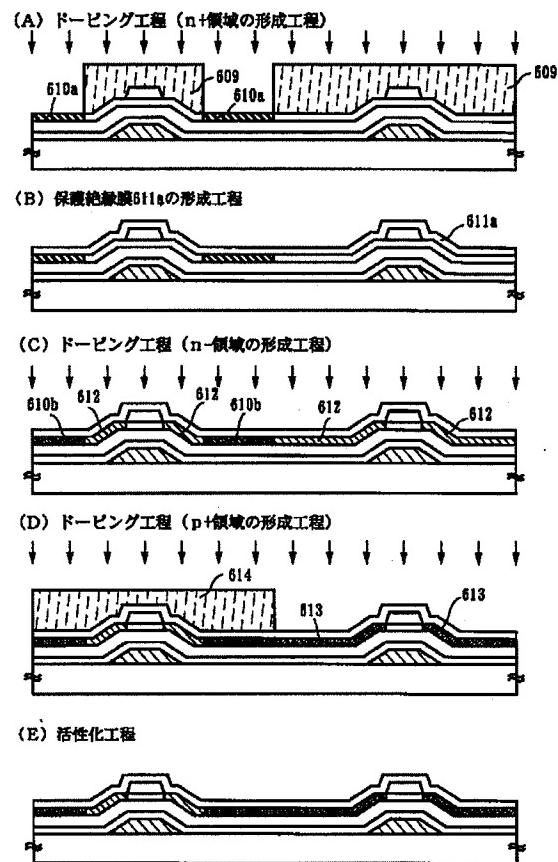


(25) 2001-53286 (P2001-5"A)

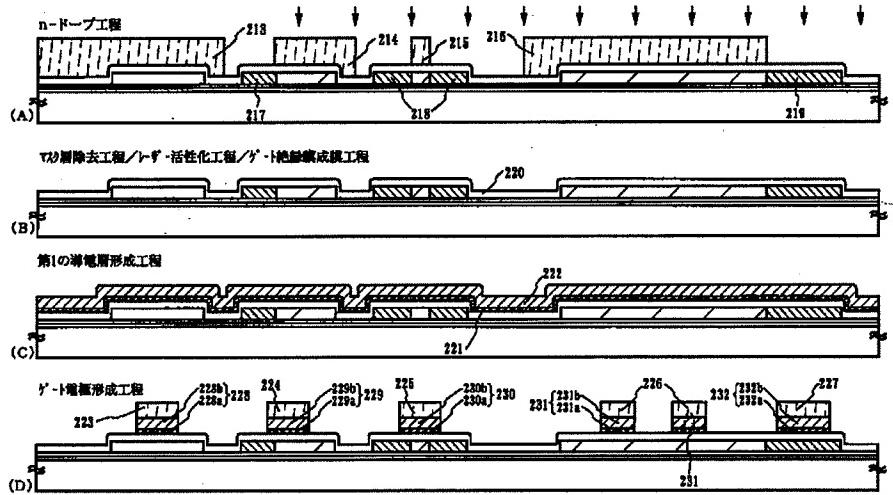
【図6】



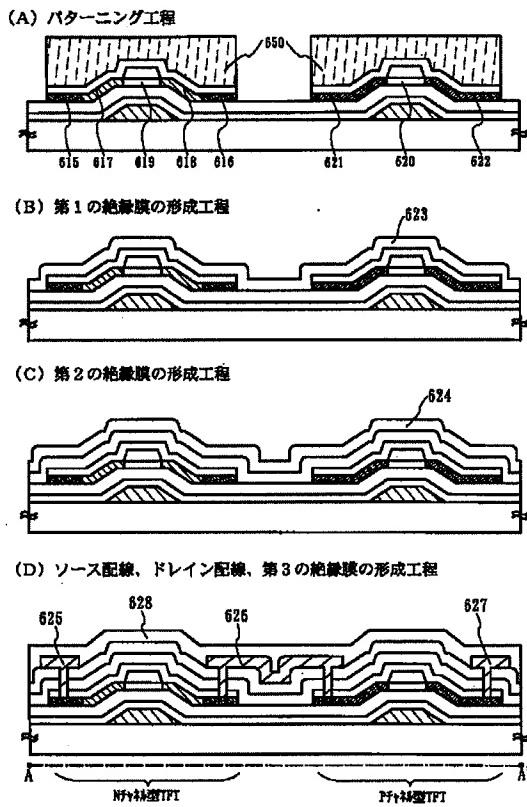
【図7】



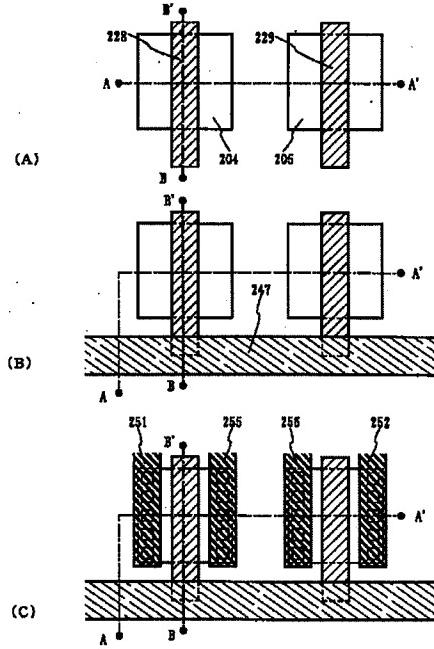
【図10】



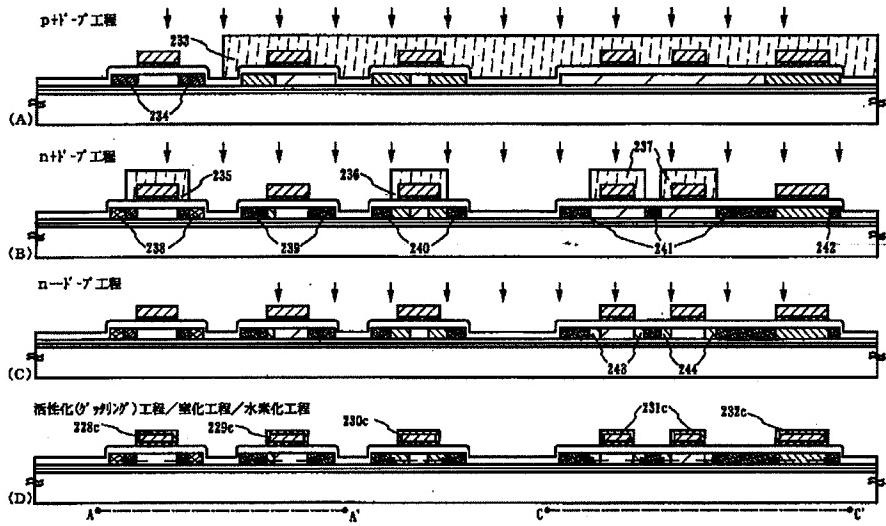
【図8】



【図14】

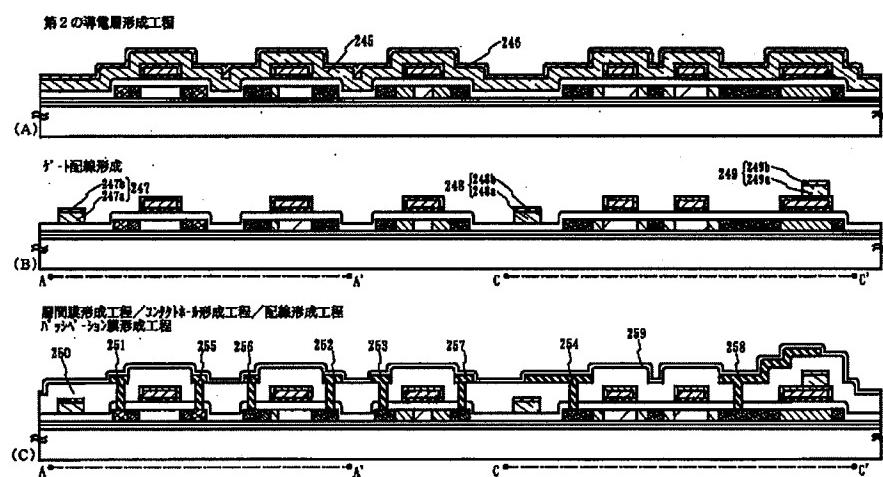


【図11】

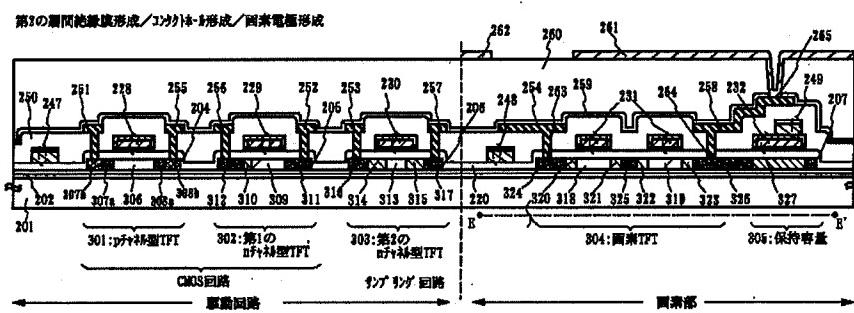


(27) 2001-53286 (P2001-5%A)

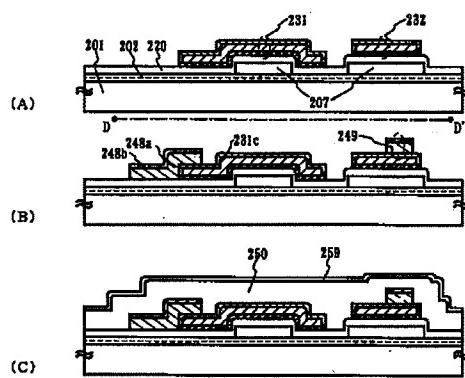
【图12】



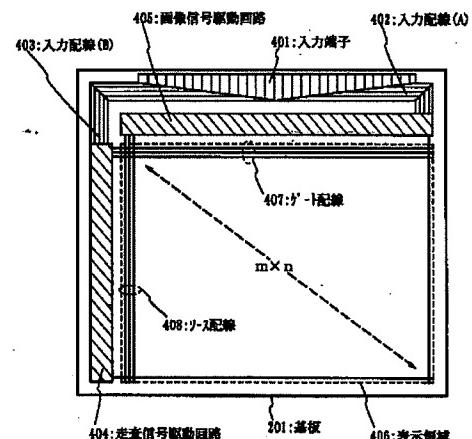
【図13】



【図17】

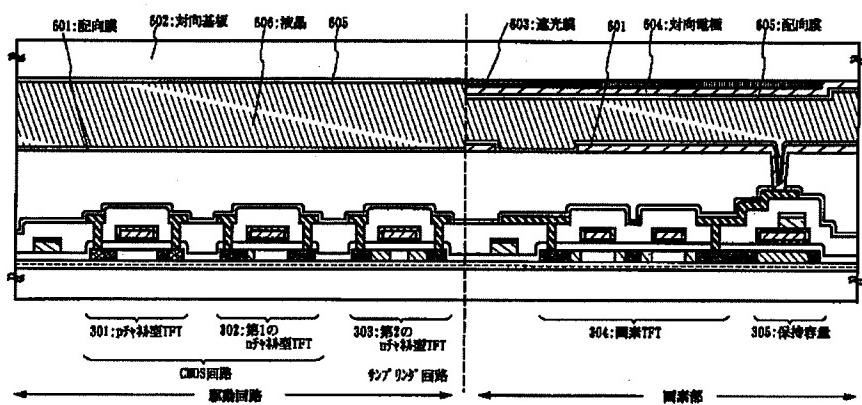


【図18】

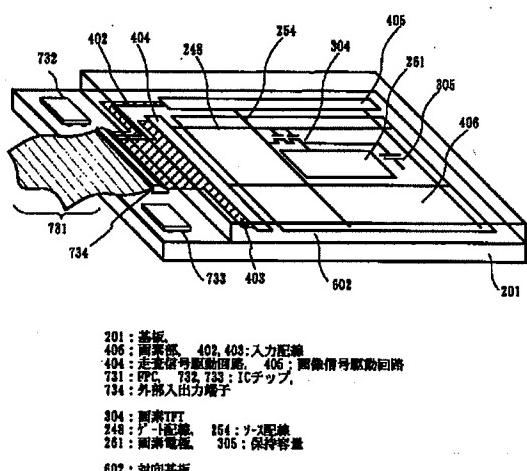


(28) 2001-53286 (P2001-5"ha)

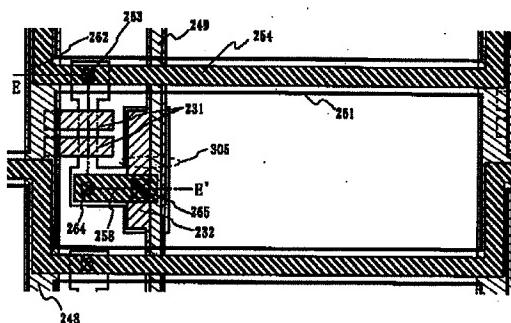
(图19)



〔图20〕

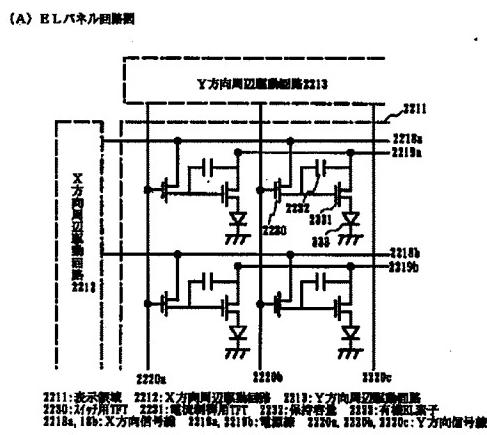


〔四〕21

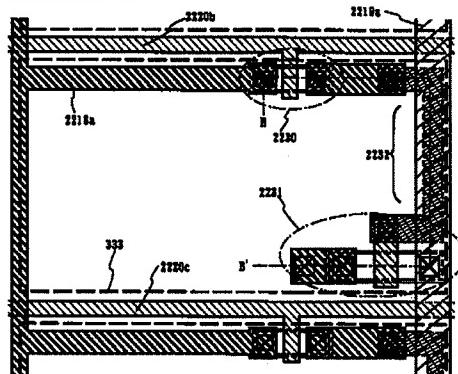


(29) 2001-53286 (P2001-5塊A)

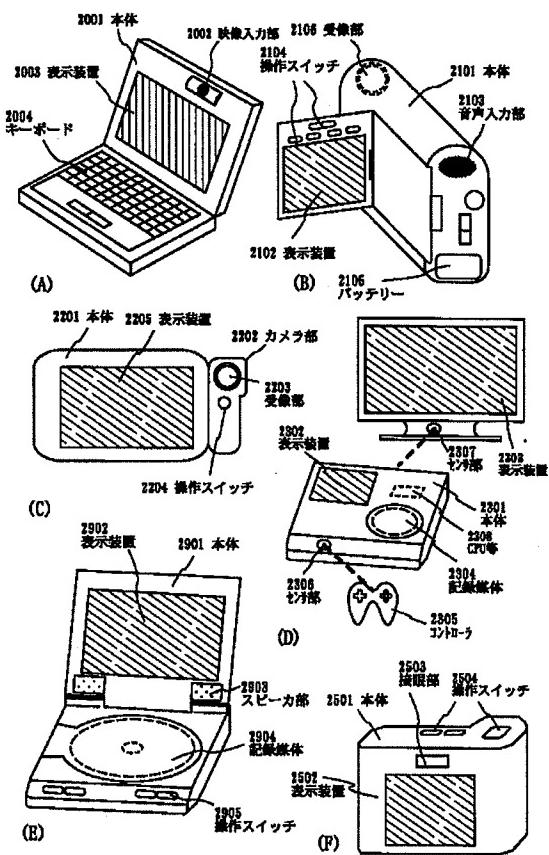
【図22】



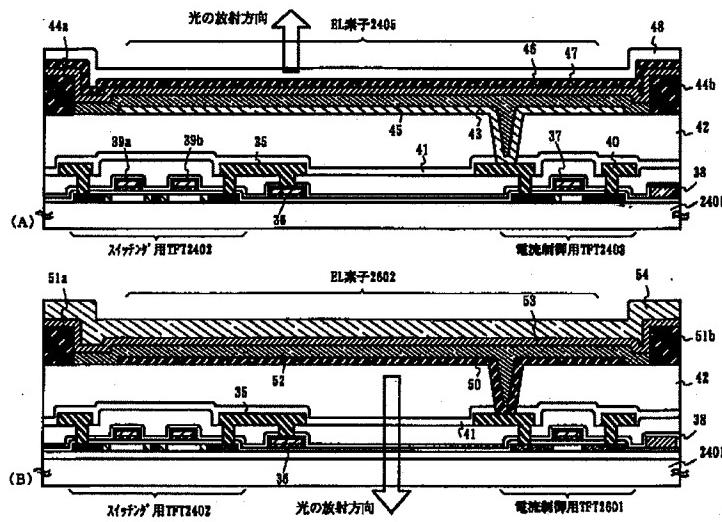
(B) ELパネル画面部上面



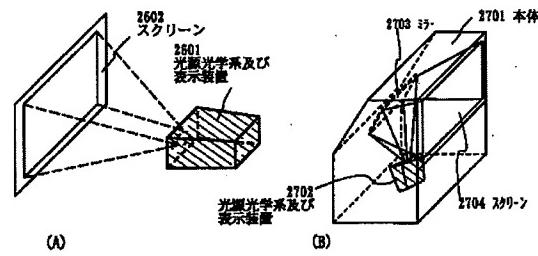
【図23】



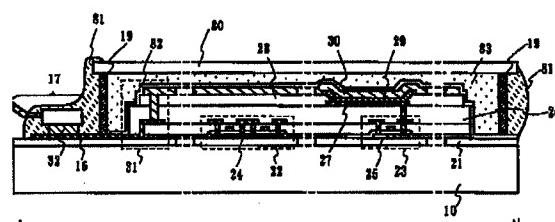
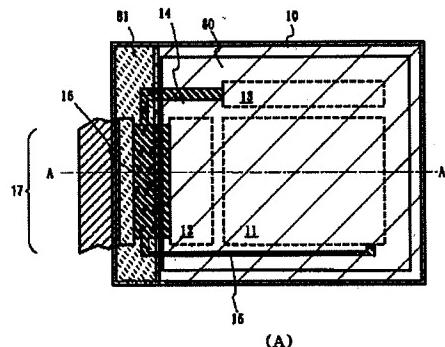
【図26】



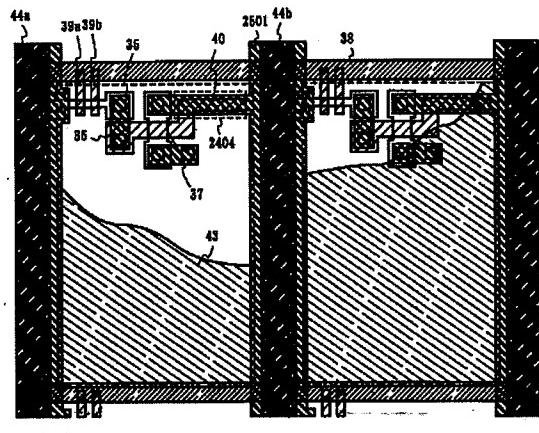
【図24】



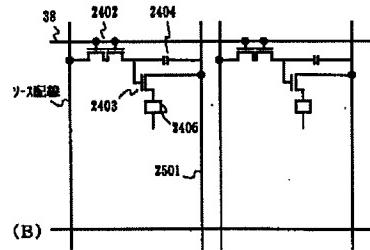
【図25】



【図27】

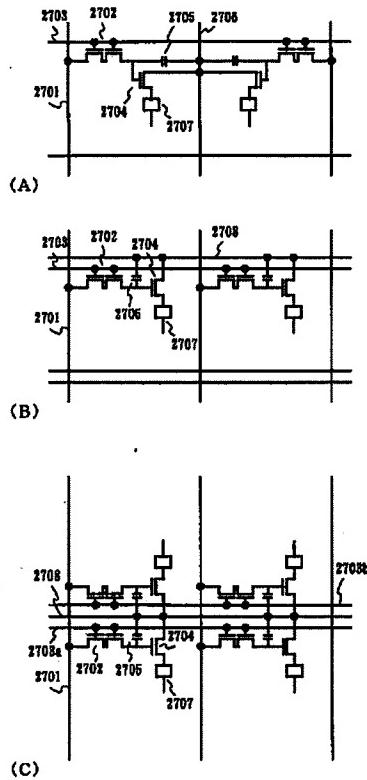


(A)



(31) 2001-53286 (P2001-5 場D 繼)

【図28】



フロントページの続き

(51) Int.Cl. ⁷	識別記号	F I	マーカー(参考)
H 01 L 27/092 27/08 21/336	3 3 1	H 01 L 27/08 29/78	3 2 1 A
			6 1 9 A
			6 2 6 C
			6 2 7 E

(72) 発明者 山崎 舜平
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内